

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

jc978 U.S. PTO  
09/892603  
06/28/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日

Date of Application:

2001年 1月17日  
January 17, 2001

出 願 番 号

Application Number:

特願2001-008724

Pat. Appln. No. 2001-008724

願 人

Applicant(s):

三菱電機株式会社

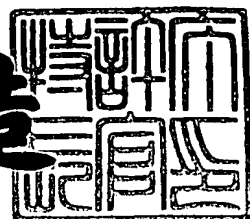
Mitsubishi Denki Kabushiki Kaisha

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 2月 9日  
February 9, 2001

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造  
Kozo Oikawa



出証番号 出証特2001-3006734  
Shutsu-sho No. Shutsu-sho-toku 2001-3006734

【書類名】 特許願

【整理番号】 528768JP01

【提出日】 平成13年 1月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/02

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 豊田 吉彦

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 表面に異なる幅を有する複数の溝が形成された絶縁層と、  
前記複数の溝の各々の内部を少なくともメッキにより埋め込む導電層とを備え

前記複数の溝のうちの一部の溝の底部に凹凸を設けたことを特徴とする、半導体装置。

【請求項 2】 前記凹凸は、溝の幅に対する深さの比が 0.7 以下の溝の底部に設けられたことを特徴とする、請求項 1 に記載の半導体装置。

【請求項 3】 前記凹凸は、溝の幅に対する深さの比が 0.35 以下の溝の底部に設けられたことを特徴とする、請求項 2 に記載の半導体装置。

【請求項 4】 前記凹凸の凹部は溝状に形成されており、前記凹部の幅に対する深さの比が 0.35 よりも大きいことを特徴とする、請求項 1～3 のいずれかに記載の半導体装置。

【請求項 5】 前記凹凸の凹部は溝状に形成されており、前記凹部の幅に対する深さの比が 0.7 よりも大きいことを特徴とする、請求項 4 に記載の半導体装置。

【請求項 6】 前記凹凸の凹部は孔状に形成されており、前記凹部の開口径に対する深さの比が 0.35 よりも大きいことを特徴とする、請求項 1～3 のいずれかに記載の半導体装置。

【請求項 7】 前記凹凸の凹部は孔状に形成されており、前記凹部の開口径に対する深さの比が 0.7 よりも大きいことを特徴とする、請求項 5 に記載の半導体装置。

【請求項 8】 前記凹凸における凹部の側面が傾斜しており、断面において両側面が交差していることを特徴とする、請求項 1～3 のいずれかに記載の半導体装置。

【請求項 9】 前記凹部の側面は、前記絶縁層の上面に対して 20 度よりも大きく傾斜していることを特徴とする、請求項 8 に記載の半導体装置。

【請求項 1 0】 前記凹凸のピッチは凹部の幅あるいは開口径の 4 倍以下であることを特徴とする、請求項 1 ～ 9 のいずれかに記載の半導体装置。

【請求項 1 1】 絶縁層の表面に異なる幅を有する複数の溝と、前記複数の溝のうち一部の溝の底面に凹凸とを形成する工程と、

前記複数の溝および前記凹凸を埋め込むように金属膜を電解メッキにより前記絶縁層より上に析出させる工程と、

前記絶縁層の上面が少なくとも露出するまで前記金属膜を化学的機械研磨で除去することにより、前記溝および前記凹凸内に前記金属膜を残存させて配線層とする工程とを備えた、半導体装置の製造方法。

【請求項 1 2】 前記絶縁層の下層に下層配線層を形成する工程と、

前記下層配線層と前記配線層とを接続する接続孔を前記絶縁層に形成する工程とをさらに備え、

前記溝の形成前に前記接続孔と前記凹凸とを同時に形成することを特徴とする、請求項 1 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、たとえば集積回路の多層配線構造を有する半導体装置およびその製造方法に関するものである。

【0 0 0 2】

【従来の技術】

図 3 8 および図 3 9 ～ 図 4 1 は、「月刊 Semiconductor World」 1 9 9 7 年 1 2 月号の 1 0 7 頁に示された従来の半導体装置の構成およびその製造方法を示す図である。図 3 8 を参照して、半導体基板上の絶縁膜 1 0 1 には、異なる幅を有する複数の溝 1 0 2 a、1 0 2 b が形成されている。この溝 1 0 2 a、1 0 2 b の各々の内表面に沿うようにバリアメタル 1 0 4 が形成され、かつ溝 1 0 2 a、1 0 2 b の各々を埋め込むように Cu（銅）膜 1 0 5 が形成されている。このバリアメタル 1 0 4 と Cu 膜 1 0 5 とから配線層が構成されている。

【0 0 0 3】

次に、図 3 8 に示す従来の半導体装置の製造方法について説明する。

まず図 3 9 を参照して、絶縁膜 1 0 1 の表面上に写真製版技術によってレジストパターン 1 1 1 a が形成される。このレジストパターン 1 1 1 a をマスクとして反応性イオンエッチングを絶縁膜 1 0 1 に施すことにより、絶縁膜 1 0 1 に異なる幅を有する複数の溝 1 0 2 a、1 0 2 b が形成される。この後、レジストパターン 1 1 1 a がアッシングおよび薬液処理により除去される。

#### 【0 0 0 4】

図 4 0 を参照して、溝 1 0 2 a、1 0 2 b が形成された絶縁膜 1 0 1 上にバリアメタル 1 0 4 として T a N（窒化タンタル）膜が形成され、さらにメッキ膜のシード層 1 0 5 a として C u 膜が形成される。

#### 【0 0 0 5】

図 4 1 を参照して、硫酸銅浴のメッキ液中で電解メッキが施され C u 膜 1 0 5 が表面全面に厚く析出して各溝 1 0 2 a、1 0 2 b 内を埋め込む。このとき、メッキ液中に添加された添加剤の効果により、細い溝や孔 1 0 2 b の部分の析出速度は広い溝 1 0 2 a や平面部に比べて速くなり、この部分が優先的に埋め込まれていくため、優れた埋め込み特性を得ることができる。さらに、化学的機械研磨法（CMP 法）により、溝 1 0 2 a、1 0 2 b 以外の部分に形成された C u 膜 1 0 5 が除去され、それにより図 3 8 に示す半導体装置が製造される。

#### 【0 0 0 6】

##### 【発明が解決しようとする課題】

以上のように、従来の半導体装置の製造方法では、細い溝 1 0 2 b に対して広い溝 1 0 2 a での C u 膜 1 0 5 のメッキ時における析出速度が遅かった。広い配線を形成するためには、広い溝 1 0 2 a が埋め込まれるまで電解メッキをしなければならない。このため、細い溝 1 0 2 b のメッキ膜厚が広い溝 1 0 2 a のメッキ膜厚に比べて極めて厚くなっていた。このような膜厚の違いが生じた結果、メッキされた C u 膜 1 0 5 表面の段差が、溝 1 0 2 a、1 0 2 b が形成された時点での初期段差に比べて大きくなっていた。

#### 【0 0 0 7】

この様子は、“Proceedings of Advanced Metallization Conference 1999 : A

sian Session” のAppendix (1) US Session Program and Abstractの135頁に示されている。

【0008】

細い溝102b上の厚いCu膜105をCMP法によりすべて除去するためには、広い溝102a上の薄いCu膜105を過剰に研磨する必要がある。その結果、広い溝102a内に形成される配線104、105の上面が凹状にへこんでしまう。これにより、広い溝102a内の配線に大きな抵抗上昇が生じる、あるいは抵抗のばらつきが大きくなるという問題があった。

【0009】

また、このような凹状のへこみが生じると、その上の配線層で凹部に金属が残ってしまい、配線の短絡不良を引起すという問題もあった。

【0010】

それゆえ本発明の目的は、広い溝と細い溝の析出速度の差を小さくすることができる半導体装置およびその製造方法を提供することである。

【0011】

【課題を解決するための手段】

本発明の半導体装置は、表面に異なる幅を有する複数の溝が形成された絶縁層と、複数の溝の各々の内部を少なくともメッキにより埋め込む導電層とを備え、複数の溝のうちの一部の溝の底部に凹凸を設けたことを特徴とするものである。

【0012】

本発明の半導体装置によれば、溝の底部に設けた凹凸には、メッキの析出を抑制する添加剤が入りにくいため、メッキ時に析出する膜の膜厚が厚くなる。このため、この凹凸を幅の広い溝の底部に設けることにより、幅の広い溝での析出速度を幅の狭い溝での析出速度と同等程度にすることができる。よって、メッキされた導電層表面の段差を小さくすることができるため、メッキ導電層をCMP法により研磨しても、幅の広い配線上面に凹状のへこみが生じることは抑制される。

【0013】

上記の半導体装置において好ましくは、凹凸は、溝の幅に対する深さの比が0

． 7 以下の溝の底部に設けられている。

【 0 0 1 4 】

これにより、より薄いメッキ膜で溝を埋め込むことができる。

上記の半導体装置において好ましくは、凹凸は、溝の幅に対する深さの比が 0

． 3 5 以下の溝の底部に設けられている。

【 0 0 1 5 】

これにより、より薄いメッキ膜で溝を埋め込むことができる。

上記の半導体装置において好ましくは、凹凸の凹部は溝状に形成されており、凹部の幅に対する深さの比が 0 ． 3 5 よりも大きい。

【 0 0 1 6 】

これにより、メッキによる析出速度を効果的に向上することができる。

上記の半導体装置において好ましくは、凹凸の凹部は溝状に形成されており、凹部の幅に対する深さの比が 0 ． 7 よりも大きい。

【 0 0 1 7 】

これにより、メッキによる析出速度をより効果的に向上することができる。

上記の半導体装置において好ましくは、凹凸の凹部は孔状に形成されており、凹部の開口径に対する深さの比が 0 ． 3 5 よりも大きい。

【 0 0 1 8 】

これにより、メッキによる析出速度を効果的に向上することができる。

上記の半導体装置において好ましくは、凹凸の凹部は孔状に形成されており、凹部の開口径に対する深さの比が 0 ． 7 よりも大きい。

【 0 0 1 9 】

これにより、メッキによる析出速度をより効果的に向上することができる。

上記の半導体装置において好ましくは、凹凸における凹部の側面が傾斜しており、断面において両側面が交差している。

【 0 0 2 0 】

これにより、メッキによる析出速度をより向上できるとともに、凹凸の凹部の深さを浅くすることができる。

【 0 0 2 1 】



上記の半導体装置において好ましくは、凹部の側面は、絶縁層の上面に対して20度よりも大きく傾斜している。

【0022】

これにより、メッキによる析出速度向上の効果が得られる。

上記の半導体装置において好ましくは、凹凸のピッチは凹部の幅あるいは開口径の4倍以下である。

【0023】

これにより、凹凸を溝底部に密に配置することができ、凹凸によって効果的にメッキ速度を向上することができる。

【0024】

本発明の半導体装置の製造方法は以下の工程を備えている。

まず、絶縁層の表面に異なる幅を有する複数の溝と、複数の溝のうち一部の溝の底面に凹凸とが形成される。そして、複数の溝および凹凸を埋め込むように金属膜が電解メッキにより絶縁層より上に析出される。そして絶縁層の上面が少なくとも露出するまで金属膜が化学的機械研磨で除去されることにより、溝および凹凸内に金属膜が残存されて配線層とされる。

【0025】

本発明の半導体装置の製造方法によれば、溝の底部に設けた凹凸には、メッキの析出を抑制する添加剤が入りにくいため、メッキ時に析出する膜の膜厚が厚くなる。このため、この凹凸を幅の広い溝の底部に設けることにより、幅の広い溝での析出速度を幅の狭い溝での析出速度と同等程度にすることができる。よって、メッキされた導電層表面の段差を小さくすることができるため、メッキ導電層をCMP法により研磨しても、幅の広い配線上面に凹状のへこみが生じることは抑制される。

【0026】

上記の半導体装置の製造方法において好ましくは、絶縁層の下層に下層配線層を形成する工程と、下層配線層と配線層とを接続する接続孔を絶縁層に形成する工程とがさらに備えられ、溝の形成前に接続孔と凹凸とが同時に形成される。

【0027】

これにより、製造工程を簡略化することができる。

【0028】

【発明の実施の形態】

以下、本発明の実施の形態について図に基づいて説明する。

【0029】

(実施の形態1)

図1および図2は、本発明の実施の形態1における半導体装置の構成を概略的に示す断面図および斜視図である。図1および図2を参照して、半導体基板もしくは下層の絶縁膜6上に絶縁膜1が形成されている。この絶縁膜1の表面には幅の異なる複数の配線用溝2a、2bが形成されている。特に幅の広い配線用溝2aの底面には凹凸3が形成されている。

【0030】

これらの配線用溝2a、2bの内表面に沿ってたとえばTa<sub>2</sub>N<sub>5</sub>よりなるバリアメタル4が形成されており、これらの配線用溝2a、2bの各々を埋め込むようにCu膜5が形成されている。このバリアメタル4とCu膜5とから配線層が構成されており、配線層4、5の上面と絶縁膜1の上面とは実質同一の平面を構成している。

【0031】

各配線用溝の幅W1は、たとえば0.5、5、10、20 $\mu$ mであり、深さD1はたとえば0.7 $\mu$ mである。このうち幅W1が5 $\mu$ m以上の配線用溝2aの底面に凹凸3として複数の溝が配線5の長手方向に沿って形成されている。この複数の凹凸用の溝の幅W2はたとえば0.4 $\mu$ mであり、スペースSは0.6 $\mu$ mであり、深さD2は0.5 $\mu$ mである。

【0032】

次に、本実施の形態の製造方法について説明する。

図1および図2を参照して、半導体基板もしくは下層の絶縁膜6上に絶縁膜1が形成される。この絶縁膜1上に、配線用のパターンが形成されたレジストパターンが写真製版技術により形成される。このレジストパターンをマスクとして、絶縁膜1に反応性イオンエッチングが施されることにより、絶縁膜1にたとえば

0.7  $\mu\text{m}$ の深さを有する配線用溝 2 a、2 b が形成される。この後、アッシングによりレジストパターンが除去される。

【0033】

絶縁膜 1 上に、溝状の凹凸パターンとしてたとえば幅 0.4  $\mu\text{m}$ の溝パターンを有するレジストパターンが写真製版技術により形成される。このレジストパターンをマスクとして絶縁膜 1 に反応性イオンエッチングが施されることにより、幅が 5  $\mu\text{m}$ 以上の配線用溝 2 a の底部にのみ溝状の凹凸 3 がたとえば 0.5  $\mu\text{m}$ の深さで形成される。この後、アッシングによりレジストパターンが除去される。

【0034】

絶縁膜 1 上に、バリアメタル 4 としてたとえば T a N 膜がスパッタ法により 20 nm の厚みで形成され、さらにメッキ膜のシード層としてたとえば C u 膜がスパッタにより 150 nm の厚みで形成される。

【0035】

硫酸銅浴のメッキ液中で電解メッキを行なうことにより、配線用溝 2 a、2 b を埋め込めるまで C u 膜 5 が形成される。この電解メッキの電流はたとえば 5 A である。この後、少なくとも絶縁膜 1 の上面が露出するまで C u 膜 5 とバリアメタル 4 とが CMP 法により研磨除去されて、配線用溝 2 a、2 b 内に配線層として残存される。

【0036】

本願発明者らは、配線用溝 2 a の底面に溝状の凹凸 3 を形成した場合と形成しない場合とについてメッキ C u 膜の表面段差について調べた。

【0037】

上記の方法で形成した半導体装置において、配線用溝の部分上および溝がない平坦部上に形成されたメッキ C u 膜の膜厚を測定した結果を表 1 に示す。ただし、この膜厚はシード層としての C u 膜の厚みも含んだ値である。

【0038】

【表 1】

配線用溝の底に溝状の凹凸を付けた効果

配線幅 ( $\mu\text{m}$ )	Cu 膜厚 ( $\mu\text{m}$ )	
	凹凸無し 800nm メッキ	凹凸有り 400nm メッキ
0.5	2	1.1
5	0.7	0.7
10	0.7	0.7
20	0.7	0.7
flat 部 (溝底から)	0.7 (1.4)	0.35 (1.05)

## 【0039】

配線用溝を埋め込むために必要なメッキ量は、配線の底に凹凸（溝）がある場合で400nm、配線の底に凹凸（溝）がない場合で800nmであった。ここでいうメッキ量は、平坦な基板上にメッキを行なったときに形成されるCu膜の厚みである。

## 【0040】

配線用溝の底に凹凸（溝）を形成しない場合、Cu膜の表面の最も高い部分は0.5 $\mu\text{m}$ 幅の配線部であり、最も低い部分は5、10、20 $\mu\text{m}$ 幅の配線部であり、その段差は1.3 $\mu\text{m}$ であった。これに対し、配線の溝の底に凹凸（溝）を形成した場合、Cu膜の表面の最も高い部分は0.5 $\mu\text{m}$ 幅の配線部であり、最も低い部分は5、10、20 $\mu\text{m}$ 幅の配線部であり、その段差は0.4 $\mu\text{m}$ であった。

## 【0041】

以上のように、配線用溝の底に凹凸（溝）を形成することにより、配線用溝をメッキCu膜で埋め込んだ時点での表面段差を1.3 $\mu\text{m}$ から0.4 $\mu\text{m}$ へと大幅に低減することができた。

## 【0042】

このように、配線用溝を埋め込むために必要なメッキ量が異なるのは、配線用溝の底に溝状の凹凸を形成することによりメッキ速度を向上させることができた

からである。メッキ速度が向上するのは、メッキ液に添加された添加剤の効果に起因している。細い溝中ではメッキの析出を抑制する添加剤が少ないのに対し、太い溝や平坦部ではメッキの析出を促進させる添加物はほぼ均一に存在する。このため、太い溝や平坦部ではメッキの析出が抑制されるのに対し、細い溝中ではメッキの析出が促進される。

【 0 0 4 3 】

本実施の形態においては、溝状の凹凸 3 を配線の長手方向に沿って形成した例について説明したが、配線の短手方向に沿って形成しても同様の効果が得られる。

【 0 0 4 4 】

(実施の形態 2)

図 3 は、本発明の実施の形態 2 における半導体装置の構成を概略的に示す斜視図である。図 1 と図 3 とを参照して、本実施の形態の構成は、図 2 に示す実施の形態 1 の構成と比較して、凹凸 3 の形状が異なる。本実施の形態では、凹凸 3 は配線用溝 2 a の底面に複数の孔を形成することにより構成されている。この凹凸 3 を構成する孔の径  $W_2$  はたとえば  $0.4 \mu m$  であり、ピッチ  $P$  はたとえば  $1 \mu m$  であり、深さ  $D_2$  はたとえば  $0.5 \mu m$  である。

【 0 0 4 5 】

なお、これ以外の構成については、上述した実施の形態 1 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【 0 0 4 6 】

本実施の形態の製造方法も上述した実施の形態 1 の製造方法とほぼ同じであるため、その説明は省略する。ただし、実施の形態 1 では、溝状の凹凸 3 をパターニングにより形成しているが、本実施の形態ではこの工程において複数の孔よりなる凹凸 3 がパターニングにより形成される。

【 0 0 4 7 】

本願発明者らは、実施の形態 1 と同様にして本実施の形態においてもメッキ Cu 膜の表面段差について調べた。

【 0 0 4 8 】

配線用溝の幅 $W1$ は0.5、5、10、20  $\mu\text{m}$ とし、深さ $D1$ は0.7  $\mu\text{m}$ とした。このうち幅5  $\mu\text{m}$ 以上の配線用溝2aの底に凹凸として径 $W2$ が0.4  $\mu\text{m}$ 、ピッチ $P$ が1  $\mu\text{m}$ 、深さ $D2$ が0.5  $\mu\text{m}$ の複数の孔を形成した。この上にバリアメタルとしてTa<sub>2</sub>N膜をスパッタ法により20 nmの厚みで形成し、さらにメッキ膜のシード層としてCu膜をスパッタ法により150 nmの膜厚で形成した。次に、硫酸銅浴のメッキ液中で電解メッキを行ない、配線用溝を埋め込めるまでCu膜を形成した。このときの電流は5 Aとした。比較のために、配線用溝の底に凹凸（孔）を形成していない場合についても同様に成膜した。

【0049】

このようにして作製された基板の配線用溝の部分および溝がない平坦部に形成されたCu膜の膜厚を表2に示す。ただし、この膜厚はシード層のCu膜の膜厚も含んだ値である。

【0050】

【表2】

配線用溝の底に孔状の凹凸を付けた効果		
配線幅 ( $\mu\text{m}$ )	Cu 膜厚 ( $\mu\text{m}$ )	
	凹凸無し 800nm メッキ	凹凸有り 400nm メッキ
0.5	2	1.05
5	0.7	0.8
10	0.7	0.8
20	0.7	0.8
flat 部 (溝底から)	0.7 (1.4)	0.3 (1.0)

【0051】

配線用溝を埋め込むために必要なメッキ量は、配線の底に凹凸（孔）がある場合で400 nm、配線の底に凹凸（孔）がない場合で800 nmであった。配線用溝の底に凹凸（孔）を形成していない場合、Cu膜の表面の最も高い部分は0.5  $\mu\text{m}$ 幅の配線部であり、最も低い部分は5、10、20  $\mu\text{m}$ 幅の配線部であり、その段差は1.3  $\mu\text{m}$ であった。これに対し、配線の溝の底に凹凸（孔）を

形成した場合、Cu膜の表面の最も高い部分は0.5  $\mu\text{m}$ 幅の配線部であり、最も低い部分は5、10、20  $\mu\text{m}$ 幅の配線部であり、その段差は0.25  $\mu\text{m}$ であった。

【0052】

以上のように、配線用溝の底に凹凸（孔）を形成することにより、配線用溝をメッキCu膜で埋め込んだ時点での表面段差を1.3  $\mu\text{m}$ から0.25  $\mu\text{m}$ とへ大幅に低減することができる。

【0053】

このように、配線用溝を埋め込むために必要なメッキ量が異なるのは、配線用溝の底に孔状の凹凸を形成することによりメッキ速度を向上させることができたからである。メッキ速度が向上するメカニズムは、実施の形態1で述べたのと同じ原理によるものである。また、溝状の凹凸に比べて孔状の凹凸の方が、メッキ速度を向上させる効果が大きく、表面段差をより低減することができる。

【0054】

（実施の形態3）

本願発明者らは、メッキCu膜厚と配線幅の関係について調べた。

【0055】

幅0.34～20  $\mu\text{m}$ の範囲の配線用溝を形成し、その配線溝上にCu膜をメッキにより形成した結果を表3に示す。

【0056】

【表 3】

Cu メッキ膜厚と配線幅の関係

配線幅 ( $\mu\text{m}$ )	Cu 膜厚 ( $\mu\text{m}$ )	
	メッキ電流 5A	メッキ電流 8A
0.34	1.3	1.2
0.4	1.3	1.2
0.5	1.25	1.2
0.7	1.1	1
1	1.05	0.4
1.4	1	0.4
2	0.4	0.4
5	0.4	0.4
10	0.4	0.4
20	0.4	0.4
平坦部	0.4	0.4

## 【0057】

このときの配線用溝の深さは0.7  $\mu\text{m}$ であり、この上にバリアメタルとして TaN 膜をスパッタ法により 20 nm の厚みで形成し、メッキ膜のシード層として Cu 膜をスパッタにより 150 nm の厚みで形成し、さらに電解メッキにより 400 nm の厚みの Cu 膜を形成した。このときの電流は 5 A または 8 A とした。メッキ電流が 5 A の場合、配線幅が 2  $\mu\text{m}$  以上、すなわちアスペクト比（深さ／幅）が 0.35 以下では、配線用溝を埋め込むことができなかった。またメッキ電流が 8 A の場合、配線幅 1  $\mu\text{m}$  以上、すなわちアスペクト比（深さ／幅）が 0.7 以下では、配線用溝を埋め込むことはできなかった。

## 【0058】

このようにアスペクト比が 0.35 以下もしくは 0.7 以下の配線用溝をメッキ Cu 膜で埋め込むためには、さらに厚く Cu 膜を成膜する必要がある、その結果、Cu 膜表面の段差はさらに大きくなる。これに対し、これらの配線用溝の底に凹凸を形成すると、実施の形態 1 および 2 で示した効果により、Cu 膜表面の段差を小さくすることができる。すなわち、アスペクト比 0.35 以下もしくは 0.7 以下の配線用溝の底に凹凸を形成することにより、より薄いメッキ Cu 膜



の厚みで溝を埋め込むことができ、Cu膜の表面の段差を小さくすることができる。

【0059】

(実施の形態4)

本願発明者らは、溝状の凹凸を形成した場合のメッキCu膜厚と凹凸用の溝幅との関係を調べた。

【0060】

幅が0.26～2μmの範囲の溝状の凹凸を形成し、その凹凸上にCu膜をメッキにより形成した結果を表4に示す。

【0061】

【表4】

Cuメッキ膜厚と溝幅の関係		
溝幅 (μm)	Cu膜厚(μm)	
	メッキ電流 5A	メッキ電流 8A
0.26	1.1	1
0.3	1.1	1
0.34	1.05	1
0.4	1.05	1
0.5	1	0.9
0.7	1	0.4
1	0.95	0.4
1.4	0.43	0.4
2	0.43	0.4

【0062】

このときの溝の深さは0.5μmであり、ピッチは溝幅の4倍であった。この上にバリアメタルとしてTa<sub>2</sub>N膜をスパッタ法により20nmの厚みで形成し、メッキ膜のシード層としてCu膜をスパッタ法により150nmの厚みで形成し、さらに電解メッキにより400nmの厚みのCu膜を形成した。このときの電流は5Aまたは8Aである。メッキ電流が5Aの場合、溝幅が1.4μm以上、すなわちアスペクト比（深さ／幅）が0.35以下では成膜速度を向上させる効果は見られなかった。また、メッキ電流が8Aの場合、溝幅が0.7μm以上、

すなわちアスペクト比（深さ／幅）が 0.7 以下では成膜速度を向上させる効果は見られなかった。

【0063】

以上のように、成膜速度を向上させるためには、配線用溝の底部に形成する溝状の凹凸のアスペクト比は 0.35 より大きいか、または 0.7 より大きくなければならない。また、アスペクト比が大きいほど成膜速度を向上させることができるため、配線用溝の底部に形成する溝状の凹凸のアスペクト比は大きい方が望ましい。

【0064】

（実施の形態 5）

本願発明者らは、孔状の凹凸を形成した場合のメッキ Cu 膜厚と凹凸用の孔径との関係を調べた。

【0065】

径が 0.26 ～ 2  $\mu\text{m}$  の範囲の孔状の凹凸を形成し、その凹凸上に Cu をメッキにより形成した結果を表 5 に示す。

【0066】

【表 5】

Cu メッキ膜厚と孔径の関係

孔径 ( $\mu\text{m}$ )	Cu 膜厚 ( $\mu\text{m}$ )	
	メッキ電流 5A	メッキ電流 8A
0.26	1.2	1.1
0.3	1.2	1.1
0.34	1.15	1.1
0.4	1.1	1.1
0.5	1.05	1
0.7	1	0.4
1	0.95	0.4
1.4	0.43	0.4
2	0.43	0.4

【0067】

このときの孔の深さは $0.5\mu\text{m}$ であり、ピッチは孔径の4倍であった。この上にバリアメタルとしてTa<sub>2</sub>N<sub>5</sub>膜をスパッタ法により20nmの厚みで形成し、メッキ膜のシード層としてCu膜をスパッタ法により150nmの厚みで形成し、さらに電解メッキにより400nmの厚みのCu膜を形成した。このときの電流は、5Aまたは8Aとした。メッキ電流が5Aの場合、孔径が $1.4\mu\text{m}$ 以上、すなわちアスペクト比（深さ／径）が0.35以下では成膜速度を向上させる効果は見られなかった。また、メッキ電流が8Aの場合、孔径が $0.7\mu\text{m}$ 以上、すなわちアスペクト比（深さ／径）が0.7以下では成膜速度を向上させる効果は見られなかった。

#### 【0068】

以上のように、成膜速度を向上させるためには、配線用溝の底部に形成する孔状の凹凸のアスペクト比は0.35より大きいか、もしくは0.7より大きくなければならない。また、アスペクト比が大きいほど成膜速度を向上させることができるため、溝の底部に形成する孔状の凹凸のアスペクト比は大きい方が望ましい。

#### 【0069】

また、溝状の凹凸に比べて孔状の凹凸の方が、メッキ速度を向上させる効果が大きいというメリットがある。

#### 【0070】

##### （実施の形態6）

図4および図5は、本発明の実施の形態6における半導体装置の構成を概略的に示す断面図および斜視図である。図4および図5を参照して、本実施の形態の構成は、実施の形態1の構成と比較して、配線用溝2aの底面に形成した凹凸3の形状において異なる。本実施の形態においては、凹凸3は断面がテーパ状となる複数の溝から構成されており、この凹凸用の溝の両側壁は断面において交差している。

#### 【0071】

配線用に形成した溝の幅W1はたとえば0.5、5、10、20 $\mu\text{m}$ であり、深さD1は $0.7\mu\text{m}$ である。このうち幅W1が $5\mu\text{m}$ 以上の配線用溝2aの底

に凹凸3として、断面が三角形状の複数の溝が形成されている。この凹凸用の溝の幅 $W_2$ はたとえば $0.35\mu\text{m}$ であり、深さ $D_2$ はたとえば $0.3\mu\text{m}$ であり、テーパ角はたとえば $60^\circ$ であり、ピッチ $P$ はたとえば $1\mu\text{m}$ である。

【0072】

なお、これ以外の構成については、上述した実施の形態1の構成とほぼ同じであるため、同一の部材については同一の符号を付しその説明は省略する。

【0073】

この断面がテーパ状の溝よりなる凹凸3は、以下のようにエッチング条件を調整することにより形成される。

【0074】

プラズマ中ではエッチングガスは分解され、絶縁膜のエッチングと生成物のデポジションとの競合反応が起こる。エッチング種は基板に垂直方向に加速されて入射するため、溝の底面ではエッチングが主となり、エッチングが進行する。しかし側面では生成物のデポジションが優勢となる。このような生成物は側面をエッチング種より保護する役割を果たす。エッチング条件を生成物が生じやすい条件にすると、溝のエッチングが進行するにつれて生成物のデポジションが増えるため、側面がテーパ状になる。エッチングガスあるいは添加ガスにCが含まれる割合が高いと生成物がデポジションする割合が高くなる。たとえば、エッチングガスとしては $\text{CHF}_3$ よりも $\text{C}_4\text{F}_8$ などCを多く含むガスでテーパ形状が得られやすい。また、 $\text{CO}$ のようにCを含むガスを添加ガスとして加えることも有効である。

【0075】

なお、これ以外の製造方法については、上述した実施の形態1の製造方法とほぼ同じであるためその説明を省略する。

【0076】

本願発明者らは、配線用溝の底にテーパ状の溝からなる凹凸を付けた効果について調べた。

【0077】

まず上記の方法で配線用溝の底に凹凸3として幅 $W_2$ が $0.35\mu\text{m}$ 、深さ $D$

2 が 0.3  $\mu\text{m}$ 、テーパ角 60 度の複数の断面が三角形状の溝をピッチ P が 1  $\mu\text{m}$  となるように形成した。この上にバリアメタルとして TaN 膜をスパッタ法により 20 nm の厚みで形成し、さらにメッキ膜のシード層として Cu 膜をスパッタにより 150 nm の厚みで形成した。次に、硫酸銅浴のメッキ液中で電解メッキを行ない、配線用溝を埋め込めるまで Cu 膜を形成した。このときの電流は 5 A とした。比較のために、配線用溝の底に凹凸（溝）を形成していない場合についても同様に成膜した。

【0078】

このようにして作製した基板の配線用溝の部分および配線の溝がない平坦部に形成された Cu の膜厚を表 6 に示す。ただし、この膜厚はシード層の Cu も含んだ値である。

【0079】

【表 6】

配線用溝の底にテーパ状の溝からなる凹凸を付けた効果		
配線幅 ( $\mu\text{m}$ )	Cu 膜厚 ( $\mu\text{m}$ )	
	凹凸無し 800nm メッキ	凹凸有り 400nm メッキ
0.5	2	1.05
5	0.7	0.8
10	0.7	0.8
20	0.7	0.8
flat 部 (溝底から)	0.7 (1.4)	0.3 (1.0)

【0080】

溝を埋め込むために必要なメッキ量は配線用溝の底に凹凸（溝）がある場合で 400 nm、配線用溝の底に凹凸（溝）がない場合で 800 nm であった。配線用溝の底に凹凸（溝）を形成していない場合、Cu 膜の表面の最も高い部分は 0.5  $\mu\text{m}$  幅の配線部であり、最も低い部分は 5、10、20  $\mu\text{m}$  幅の配線部であり、その段差は 1.3  $\mu\text{m}$  であった。これに対し、配線の底に凹凸（溝）を形成した場合、Cu 膜の表面の最も高い部分は 0.5  $\mu\text{m}$  幅の配線部であり、最も低

い部分は5、10、20  $\mu\text{m}$ の幅の配線部であり、その段差は0.25  $\mu\text{m}$ であった。

【0081】

以上のように、配線の底に凹凸（溝）を形成することにより、溝をメッキCu膜で埋め込んだ時点での表面段差を1.3  $\mu\text{m}$ から0.25  $\mu\text{m}$ へと大幅に低減することができる。

【0082】

このように、溝を埋め込むために必要なメッキ量が異なるのは、溝の底に溝状の凹凸を形成することによりメッキ速度を向上させることができたからであり、メッキ速度が向上するメカニズムは実施の形態1で述べたのと同じ原理によるものである。

【0083】

また、凹凸用の溝の形状をテーパ状にすることにより、通常の凹凸用の溝の場合に比べてメッキの析出速度をより向上できるとともに、溝の深さを浅くすることができるというメリットがある。

【0084】

（実施の形態7）

図6は、本発明の実施の形態7における半導体装置の構成を概略的に示す斜視図である。

【0085】

図4および図6を参照して、本実施の形態の構成は、実施の形態6の構成と比較して、配線用溝2aの底面に形成した凹凸3の形状において異なる。本実施の形態においては、凹凸3は断面がテーパ状となる複数の孔から構成されており、この凹凸用の孔の両側壁は断面において交差している。

【0086】

配線用に形成した溝の幅W1は0.5、5、10、20  $\mu\text{m}$ であり、深さはD1は0.7  $\mu\text{m}$ である。このうち幅W1が5  $\mu\text{m}$ 以上の配線用溝2aの底に凹凸3として複数の円錐状の孔が形成されている。この凹凸用の孔の開口径W2はたとえば0.35  $\mu\text{m}$ であり、深さD2はたとえば0.3  $\mu\text{m}$ であり、テーパ角は

たとえば60度であり、孔のピッチPはたとえば1  $\mu\text{m}$ である。

【0087】

なお、これ以外の構成については、上述した実施の形態6の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0088】

本実施の形態の製造方法は、上述した実施の形態6の製造方法とほぼ同じであるためその説明を省略する。ただし、テーパ状の孔の形成方法は、実施の形態6におけるテーパ状の溝の形成方法とほぼ同じである。

【0089】

本願発明者らは、配線用溝の底にテーパ状の孔からなる凹凸を付けた効果について調べた。

【0090】

まず上述の方法で配線用溝の底に凹凸3として開口径W2が0.35  $\mu\text{m}$ 、深さD2が0.3  $\mu\text{m}$ 、テーパ角が60度の複数の円錐状の孔をピッチPが1  $\mu\text{m}$ となるように形成した。この上にバリアメタルとしてTa<sub>2</sub>N<sub>5</sub>膜をスパッタ法により20 nmの厚みで形成し、さらにメッキ膜のシード層としてCu膜をスパッタ法により150 nmの厚みで形成した。次に、硫酸銅浴のメッキ液中で電解メッキを行ない、配線用溝を埋め込めるまでCu膜を形成した。このときの電流は5 Aとした。比較のために、配線用溝の底に凹凸（孔）を形成していない場合についても同様に成膜した。

【0091】

このようにして作製した基板の配線用溝の部分および配線の溝がない平坦部に形成されたCuの膜厚を表7に示す。ただし、この膜厚はシード層のCuも含んだ値である。

【0092】

【表 7】

配線用溝の底にテーパ状の孔からなる凹凸を付けた効果

配線幅 ( $\mu\text{m}$ )	Cu 膜厚 ( $\mu\text{m}$ )	
	凹凸無し 800nm メッキ	凹凸有り 400nm メッキ
0.5	2	1.05
5	0.7	0.85
10	0.7	0.85
20	0.7	0.85
flat 部 (溝底から)	0.7 (1.4)	0.3 (1.0)

## 【0093】

溝を埋め込むために必要なメッキ量は配線用溝の底に凹凸（孔）がある場合で 400nm、配線用溝の底に凹凸（孔）がない場合で 800nm であった。配線用溝の底に凹凸（孔）を形成していない場合、Cu 膜の表面の最も高い部分は 0.5 $\mu\text{m}$  幅の配線部であり、最も低い部分は 5、10、20 $\mu\text{m}$  幅の配線部であり、その段差は 1.3 $\mu\text{m}$  であった。これに対し、配線の底に凹凸（孔）を形成した場合、Cu 膜の表面の最も高い部分は 0.5 $\mu\text{m}$  幅の配線部であり、最も低い部分は 5、10、20 $\mu\text{m}$  の幅の配線部であり、その段差は 0.2 $\mu\text{m}$  であった。

## 【0094】

以上のように、配線の底に凹凸（孔）を形成することにより、溝をメッキ Cu 膜で埋め込んだ時点での表面段差を 1.3 $\mu\text{m}$  から 0.2 $\mu\text{m}$  へと大幅に低減することができる。

## 【0095】

このように、溝を埋め込むために必要なメッキ量が異なるのは、溝の底に孔状の凹凸を形成することによりメッキ速度を向上させることができたからであり、メッキ速度が向上するメカニズムは実施の形態 1 で述べたのと同じ原理によるものである。

## 【0096】



また、凹凸用の孔の形状を円錐状にすることにより、柱状の凹凸用の孔の場合に比べてメッキの析出速度をより向上できるとともに、孔の深さを浅くすることができるというメリットがある。

【0097】

(実施の形態8)

本願発明者らは、メッキCu膜厚とテーパ状の溝からなる凹凸のテーパ角との関係について調べた。

【0098】

図5に示すようにテーパ角が20～60度の範囲の断面が三角形の溝からなる凹凸3を形成し、その凹凸3上にメッキによりCu膜を形成した結果を表8に示す。

【0099】

【表8】

Cuメッキ膜厚とテーパ状の溝からなる凹凸のテーパ角の関係

テーパ角(度)	Cu膜厚( $\mu\text{m}$ )
20	0.4
30	0.65
45	1.15
60	1.25

【0100】

図5を参照して、このときの溝2aの深さD1は0.5 $\mu\text{m}$ であり、この上にバリアメタルとしてTa<sub>2</sub>N膜をスパッタ法により20nmの厚みで形成し、メッキ膜のシード層としてCu膜をスパッタ法により150nmの厚みで形成し、さらに電解メッキにより400nmの厚みでCu膜を形成した。このときの電流は5Aとした。

【0101】

テーパ角が20度以下の溝では、メッキ速度を向上させる効果は見られない。以上より、テーパ角は20度より大きい必要がある。また、テーパ角が大きいほどメッキ速度を向上させる効果が大きく、特に45度以上ではその効果が顕著で

あることから、テーパ角は大きい方が望ましく、特に45度以上が望ましい。

【0102】

(実施の形態9)

本願発明者らは、メッキCu膜厚と円錐状の孔からなる凹凸のテーパ角との関係について調べた。

【0103】

図6に示すようにテーパ角が20～60度の範囲の円錐状の孔からなる凹凸を形成し、その凹凸上にメッキによりCu膜を形成した結果を表9に示す。

【0104】

【表9】

Cuメッキ膜厚と円錐状の孔からなる凹凸のテーパ角の関係

テーパ角(度)	Cu膜厚( $\mu\text{m}$ )
20	0.4
30	0.75
45	1.2
60	1.35

【0105】

図6を参照して、このときの孔の深さD1は0.5 $\mu\text{m}$ であり、この上にバリアメタルとしてTa<sub>2</sub>N<sub>5</sub>膜をスパッタ法により20nmの厚みで形成し、メッキ膜のシード層としてCu膜をスパッタ法により150nmの厚みで形成し、さらに電解メッキにより400nmの厚みでCu膜を形成した。このときの電流は5Aとした。

【0106】

テーパ角が20度以下の孔では、メッキ速度を向上させる効果は見られない。以上より、テーパ角は20度より大きい必要がある。また、テーパ角が大きいほどメッキ速度を向上させる効果が大きく、特に45度以上ではその効果が顕著であることから、テーパ角は大きい方が望ましく、特に45度以上が望ましい。

【0107】

(実施の形態10)

実施の形態 6 では、テーパ状の溝からなる凹凸を形成するために、側面がテーパ状となるエッチングを用いた例について説明したが、エッチングの際に発生するサブトレンチを利用することもできる。

【0108】

図 7 および図 8 は、本発明の実施の形態 10 における半導体装置の構成を概略的に示す断面図および斜視図である。図 7 および図 8 を参照して、本実施の形態の構成は、実施の形態 6 の構成と比較して、凹凸 3 の形状において異なる。本実施の形態においては、凹凸 3 は溝状の凹部の両側面にサブトレンチ 3 a が形成された構成を有している。これにより、凹凸 3 の凹部底面の中心部が盛り上がった形状を有している。

【0109】

なお、これ以外の構成については、上述した実施の形態 6 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0110】

このサブトレンチ 3 a が発生するメカニズムには以下のように色々な説がある。

【0111】

(1) エッチング反応を引起すイオンが、基板電位により基板に垂直な方向に向けられて基板に入射する。ただし、若干傾いて入射するイオンも、ある分布を持って存在する。このようなイオンが凹部の側壁に当たると、そこで反射して基板に到達する。イオンの軌道は若干垂直方向に傾いているだけであるため、このような反射イオンによるエッチングの寄与は、底面の側壁付近で大きくなる。その結果、側壁付近のエッチングレートが高くなり、サブトレンチ 3 a が生じる。

【0112】

(2) レジストが電子によりチャージアップすると、その電界により基板に垂直に入射したイオンの軌道がレジスト側に曲げられる。ただし、イオンの質量は大きいため、このときの軌道の曲がりはずかである。その結果、側壁付近のエッチングレートが高くなり、サブトレンチ 3 a が生じる。

【0113】

(3) エッチングの過程では、エッチングとデポジションとが競合して起こる。側壁部はイオンの入射が少なく、デポジション反応が優勢なため、デポジションが生じ、側壁を保護する役割を果たす。一方、底部ではイオンの入射が多いため、エッチングが進行する。このようなデポジション反応は側壁付近の底部では少なく、またデポジション膜も弱いため、特にこの部分でエッチングレートが高くなり、サブトレンチ 3 a が生じる。

#### 【0 1 1 4】

以上のように、大きなサブトレンチ 3 a を得るための典型的な条件は、ガスを標準状態 ( $10^5$  Pa、 $25^{\circ}\text{C}$ ) において、 $\text{CHF}_3/\text{Ar}/\text{O}_2 = 20/200/10\text{ cm}^3/\text{分}$  とし、圧力を 2.7 Pa、パワーが 1000 W であり、パワーを上げ、圧力を下げるとサブトレンチ 3 a は生じやすくなる。

#### 【0 1 1 5】

このようにして発生するサブトレンチ 3 a を利用することにより、図 7 および図 8 に示すようなテーパ状の溝からなる凹凸 3 を得ることができ、実施の形態 6 と同様の効果が得られる。

#### 【0 1 1 6】

また、サブトレンチ 3 a は 1 つの凹凸用の溝に対して 2 つ形成されるため、凹凸 3 のピッチを小さくでき、後で述べるようにメッキ速度を向上させる効果を大きくできるという利点がある。

#### 【0 1 1 7】

図 9 は、サブトレンチを複数の孔からなる凹凸 3 に利用した例を示す斜視図である。この場合、凹凸用の孔の底部の端には円周状にサブトレンチ 3 a を形成でき、実施の形態 7 と同様の効果が得られる。サブトレンチ 3 a は 1 つの孔に対して円周状に形成されるために、テーパが形成された部分の密度を上げることができ、後で述べるようにメッキ速度を向上させる効果を大きくできるという利点がある。

#### 【0 1 1 8】

##### (実施の形態 1 1)

本願発明者らは、図 4 および図 5 に示す複数のテーパ状の溝からなる凹凸 3 に

おける溝のピッチPとメッキCu膜厚との関係について調べた。

【0119】

溝幅W2が0.4  $\mu$ m、深さD2が0.5  $\mu$ mの溝からなる凹凸3を溝のピッチPを0.6～4  $\mu$ mの範囲で形成し、その凹凸3上にメッキによりCu膜を形成した結果を表10に示す。

【0120】

【表10】

Cuメッキ膜厚と溝からなる凹凸のピッチの関係

ピッチ( $\mu$ m)	Cu膜厚( $\mu$ m)
0.6	1.35
0.8	1.25
1	1.15
1.6	1.05
4	0.6

【0121】

この凹凸3が形成された上にバリアメタルとしてTa<sub>2</sub>N膜をスパッタ法により20nmの厚みで形成し、メッキ膜のシード層としてCu膜をスパッタ法により150nmの厚みで形成し、さらに電解メッキにより400nmの厚みのCu膜を形成した。このときの電流は5Aとした。

【0122】

凹凸用の溝のピッチPが大きくなるにつれて、凹凸3がメッキ速度を向上させる効果は小さくなっている。ピッチPが1.6  $\mu$ m以下、すなわちピッチPが溝幅W2の4倍以下では、電解メッキにより0.4  $\mu$ mのCu膜を形成して深さD2が0.5  $\mu$ mの溝を埋め込んだ後、さらに0.7  $\mu$ m近くの膜を形成することができる。

【0123】

しかし、ピッチPが1.6  $\mu$ mより大きい、すなわちピッチPが溝幅W2の4倍より大きい場合には、メッキ速度を向上させる効果が極めて小さく、電解メッキにより0.4  $\mu$ mのCu膜を形成すると、0.5  $\mu$ mの凹凸用の溝を埋め込む

ことができる程度である。

【0124】

以上より、ピッチPが溝幅W2の4倍以下である必要がある。ピッチPが小さいほどメッキ速度を向上させる効果が大きく、ピッチPは小さい方が望ましい。

【0125】

図10および図11に示すように、実施の形態8で述べたテーパ状の溝からなる凹凸3を設けた場合、凹凸用の溝のピッチPを溝の幅D2とすることができるため、ピッチPを溝幅W2に対して最小にすることができ、メッキ速度の向上に対して極めて効果的である。

【0126】

また本願発明者らは、図6に示す複数のテーパ状の孔からなる凹凸3における孔のピッチPとメッキCu膜厚との関係について調べた。

【0127】

孔径W2が0.4  $\mu\text{m}$ 、深さD2が0.5  $\mu\text{m}$ の孔からなる凹凸3を孔のピッチPが0.6～4  $\mu\text{m}$ の範囲で形成し、その凹凸3上にメッキによりCu膜を形成した結果を表11に示す。

【0128】

【表11】

Cuメッキ膜厚と孔からなる凹凸のピッチの関係

ピッチ( $\mu\text{m}$ )	Cu膜厚( $\mu\text{m}$ )
0.6	1.4
0.8	1.3
1	1.25
1.6	1.1
4	0.6

【0129】

この凹凸3が形成された上にバリアメタルとしてTa<sub>2</sub>N膜をスパッタ法により20nmの厚みで形成し、メッキ膜のシード層としてCu膜をスパッタ法により150nmの厚みで形成し、さらに電解メッキにより400nmの厚みのCu膜

を形成した。このときの電流は 5 A とした。

【0 1 3 0】

凹凸用の孔のピッチ  $P$  が大きくなるにつれて、凹凸 3 がメッキ速度を向上させる効果は小さくなっている。ピッチ  $P$  が  $1.6 \mu\text{m}$  以下、すなわちピッチ  $P$  が孔径  $W2$  の 4 倍以下では、電解メッキにより  $0.4 \mu\text{m}$  の Cu 膜を形成して深さ  $D2$  が  $0.5 \mu\text{m}$  の孔を埋め込んだ後、さらに  $0.7 \mu\text{m}$  近くの膜を形成することができる。

【0 1 3 1】

しかし、ピッチ  $P$  が  $1.6 \mu\text{m}$  より大きい、すなわちピッチ  $P$  が孔径  $W2$  の 4 倍より大きい場合には、メッキ速度を向上させる効果が極めて小さく、電解メッキにより  $0.4 \mu\text{m}$  の Cu 膜を形成すると、 $0.5 \mu\text{m}$  の凹凸用の孔を埋め込むことができる程度である。

【0 1 3 2】

以上より、ピッチ  $P$  が孔径  $W2$  の 4 倍以下である必要がある。ピッチ  $P$  が小さいほどメッキ速度を向上させる効果が大きく、ピッチ  $P$  は小さい方が望ましい。

【0 1 3 3】

図 1 2 に示すように、実施の形態 9 で述べたテーパ状の孔からなる凹凸 3 を設けた場合、凹凸用の孔のピッチ  $P$  を孔径  $D2$  とすることができるため、ピッチ  $P$  を孔径  $D2$  に対して最小にすることができ、メッキ速度の向上に対して極めて効果的である。

【0 1 3 4】

(実施の形態 1 2)

本実施の形態においては、図 1 に示す半導体装置の製造方法について説明する。

【0 1 3 5】

図 1 3 ～図 1 6 は、本発明の実施の形態 1 2 における半導体装置の製造方法を工程順に示す概略断面図である。まず図 1 3 を参照して、半導体基板もしくは下層絶縁膜 6 上に絶縁膜 1 が形成される。その絶縁膜 1 上に、配線用のパターンが形成されたレジストパターン 1 1 a が写真製版技術により形成される。そのレジ

ストパターン 11a をマスクとして絶縁膜 1 に反応性イオンエッチングが施され、それにより絶縁膜 1 にたとえば  $0.7\ \mu\text{m}$  の深さの配線用の配線用溝 2a、2b が形成される。この後、たとえばアッシングによりレジストパターン 11a が除去される。

【0136】

図 14 を参照して、絶縁膜 1 上に、溝状の凹凸用パターンとしてたとえば幅が  $0.4\ \mu\text{m}$ 、スペースが  $0.6\ \mu\text{m}$  の溝パターンが形成されたレジストパターン 11b が写真製版技術により形成される。このレジスタパターン 11b をマスクとして絶縁膜 1 に反応性イオンエッチングが施される。これにより、幅が  $5\ \mu\text{m}$  以上の配線用溝 2a の底部にのみ、たとえば  $0.5\ \mu\text{m}$  の深さを有する複数の溝からなる凹凸 3 が形成される。この後、レジストパターン 11b が、たとえばアッシングにより除去される。

【0137】

図 15 を参照して、絶縁膜 1 上に、バリアメタル 4 としてたとえば TaN 膜がスパッタ法により  $20\ \text{nm}$  の厚みで形成され、さらにメッキ膜のシード層 5a としてたとえば Cu 膜がスパッタ法により  $150\ \text{nm}$  の厚みで形成される。

【0138】

図 16 を参照して、硫酸銅浴のメッキ液中で電解メッキが行なわれ、配線用溝 2a、2b を埋め込むまで Cu 膜 5 が形成される。この電解メッキにおける電流はたとえば  $5\ \text{A}$  である。この後、CMP 法により、Cu 膜 5 とバリアメタル 4 とが、少なくとも絶縁膜 1 の上面が露出するまで研磨除去される。これにより、図 1 に示すように配線用溝 2a、2b 内にのみ Cu 膜 5 およびバリアメタル 4 が残存されて配線となる。

【0139】

本実施の形態においては、実施の形態 1 で述べたように広い配線用溝 2a の底部にのみ溝状の凹凸 3 を形成することによりメッキ速度を向上させることができ、メッキ後の Cu 膜 5 表面の凹凸を小さくすることができる。その結果、CMP 法を行なう際のオーバポリッシュを小さくすることができ、広い配線上面の凹状のへこみを小さくでき、広い配線においても低抵抗で抵抗のばらつきが小さいとい



う効果が得られる。

【0140】

本願発明者らは、本実施の形態の方法で製造した図1の構成を有する半導体装置において、配線のシート抵抗と配線抵抗の分散（ $1\sigma$ ）とについて調べた。その結果を表12に示す。なお、比較のため、配線の底部に凹凸3を設けなかった場合についても表12に併せて示す。

【0141】

【表12】

凹凸を付けた場合の配線のシート抵抗と配線抵抗の分散

溝幅 ( $\mu\text{m}$ )	配線のシート抵抗( $\Omega/\square$ )		配線抵抗の分散(%)	
	凹凸有り	凹凸無し	凹凸有り	凹凸無し
0.5	0.044	0.046	2.2	6.2
5	0.047	0.056	3.3	12.7
10	0.048	0.06	3.3	15.5
20	0.048	0.062	3.5	16.7

【0142】

表12の結果より、配線の底部に凹凸3を設けることにより、低抵抗で抵抗のばらつきが小さい配線が得られることがわかる。

【0143】

なお、本実施の形態では、溝の底部の凹凸3として、複数の溝からなる凹凸3を形成した例について説明したが、実施の形態2のように複数の孔からなる凹凸3が形成されてもよく、実施の形態6、7、10のように複数のテーパ状の溝もしくは孔からなる凹凸3が形成されてもよく、これらの場合でも本実施の形態と同様の効果が得られる。

【0144】

また、絶縁膜1を上下2層に分割し、その2層の間にエッチングストッパ層が設けられてもよい。

【0145】

(実施の形態13)

図 1 7 ~ 図 2 1 は、本発明の実施の形態 1 3 における半導体装置の製造方法を工程順に示す概略断面図である。まず図 1 7 を参照して、半導体基板もしくは下層絶縁膜 6 上に絶縁膜 1 が形成される。この絶縁膜 1 には、配線用溝 2 b が形成され、その配線用溝 2 b 内を埋め込むようにバリアメタル 4 と導電層 5 とからなる下層配線が形成される。

【 0 1 4 6 】

この下層配線 4、5 上にエッチングストッパ層 7 として、たとえば 1 0 0 n m の厚みで S i N 膜（シリコン窒化膜）がプラズマ C V D（Chemical Vapor Deposition）法により形成される。このエッチングストッパ層 7 上に、絶縁膜 1 として、たとえば 1 . 3  $\mu$  m の厚みで S i O<sub>2</sub> 膜（シリコン酸化膜）がプラズマ C V D 法により形成される。これらのエッチングストッパ層 7 と絶縁膜 1 とは配線間および層間の絶縁膜に相当する。

【 0 1 4 7 】

絶縁膜 1 上に、接続孔のパターンが形成されたレジストパターン 1 1 c が写真製版技術により形成される。この写真製版の際、レジストパターン 1 1 c には接続孔のパターンと同時に、溝パターンも配線の長手方向に沿って転写される。この溝パターンは幅 5  $\mu$  m 以上の配線用溝の底部に形成される溝状の凹凸のパターンであり、幅が 0 . 4  $\mu$  m、スペースが 0 . 6  $\mu$  m である。このレジストパターン 1 1 c をマスクとしてエッチングストッパ層 7 の一部表面が露出するまで絶縁膜 1 に反応性イオンエッチングが施される。これにより、絶縁膜 1 に接続用孔 2 c と同時に凹凸となる溝 3 が予め形成される。この後、レジストパターン 1 1 c がたとえばアッシングにより除去される。

【 0 1 4 8 】

図 1 8 を参照して、絶縁膜 1 上に S O G（Spin On Glass）1 1 h が塗布され、接続用孔 2 c および凹凸用の溝 3 を埋め込む。さらに、絶縁膜 1 上に配線用のパターンが形成されたレジストパターン 1 1 d が写真製版技術により形成される。このレジスタパターン 1 1 d をマスクとして絶縁膜 1 に反応性イオンエッチングが施される。

【 0 1 4 9 】

図19を参照して、上記のエッチングにより、絶縁膜1にたとえば $0.7\mu\text{m}$ の深さの配線用溝2a、2bが形成される。この後、アッシングによってレジストパターン11dが除去され、希フッ酸によってSOG11hが除去される。

【0150】

図20を参照して、接続用孔2cと凹凸用の溝3から露出したエッチングストップ層7を除去するために、SiN膜の全面エッチングが行なわれる。これにより、下層配線4、5との接続孔2cと、複数の溝からなる凹凸3とを形成することができる。

【0151】

図21を参照して、絶縁膜1上に、バリアメタル4としてたとえばTa<sub>2</sub>N<sub>5</sub>膜がスパッタ法により20nmの厚みで形成され、さらにメッキ膜のシード層としてたとえばCu膜がスパッタ法により150nmの厚みで形成される。この後、硫酸銅浴のメッキ液中で電解メッキを行なうことにより、配線用溝2a、2bを埋め込むまでCu膜5が形成される。この電解メッキにおける電流はたとえば5Aである。さらに、絶縁膜1の上面が少なくとも露出するまでCu膜5およびバリアメタル4がCMP法により研磨除去されることにより、配線用溝2a、2b内を埋め込む配線が形成される。

【0152】

以上のようにして形成された配線は実施の形態12と同様に、広い配線においても低抵抗で抵抗のばらつきが小さいという効果が得られる。また、幅が $5\mu\text{m}$ 以上の配線用溝2aの底部にある凹凸3を接続孔2cと同時に形成することができるため、実施の形態12に比べて写真製版、エッチング、アッシングの工程を減らすことができる利点がある。

【0153】

なお、本実施の形態では、溝2aの底部の凹凸3として、複数の溝からなる凹凸3を形成した例について述べたが、実施の形態2のように複数の孔からなる凹凸3が形成されてもよく、実施の形態6、7、10のように複数のテーパ状の溝もしくは孔からなる凹凸が形成されてもよく、これらの場合でも本実施の形態と同様の効果が得られる。

## 【0154】

また、接続孔2cおよび凹凸3用の溝を埋め込む材料として本実施の形態では、SOGが用いられたが、SOG以外に有機SOGやレジストなどの有機物などが用いられてもよい。

## 【0155】

また、エッチングストッパ層7は下層配線4、5上にのみ設けたが、溝のエッチングに対するエッチングストッパ層として絶縁膜1を上下2層に分けてその2層の間に設けられてもよい。

## 【0156】

(実施の形態14)

図22～図26は、本発明の実施の形態14における半導体装置の製造方法を工程順に示す概略断面図である。まず図22を参照して、半導体基板もしくは下層絶縁膜6上に絶縁膜1が形成される。この絶縁膜1には配線用溝2bが形成され、この配線用溝2b内を埋め込むようにバリアメタル4と導電層5とからなる下層配線が形成される。

## 【0157】

この下層配線4、5上にエッチングストッパ層7として、たとえば100nmの厚みでSiN膜がプラズマCVD法により形成される。このエッチングストッパ層7上に、絶縁膜1として、たとえば1.3 $\mu$ mの厚みでSiO<sub>2</sub>膜がプラズマCVD法により形成される。これらのエッチングストッパ層7と絶縁膜1とは配線間および層間の絶縁膜に相当する。

## 【0158】

絶縁膜1上に、接続孔のパターンが形成されたレジストパターン11cが写真製版技術により形成される。この写真製版の際、レジストパターン11cには、接続孔のパターンと同時に、溝パターンも配線の長手方向に沿って転写される。この溝パターンは、幅5 $\mu$ m以上の配線用溝の底部に形成される溝状の凹凸パターンであって、幅が0.4 $\mu$ m、スペースが0.6 $\mu$ mである。このレジストパターン11cをマスクとして絶縁膜1の膜厚の途中まで絶縁膜1に反応性イオンエッチングが施される。これにより、接続用孔2cと凹凸用の溝3とが形成され

る。この後、レジストパターン 11c がたとえばアッシングにより除去される。

【0159】

図 23 を参照して、絶縁膜 1 上に、配線用のパターンが形成されたレジストパターン 11d が写真製版技術により形成される。このレジスタパターン 11d をマスクとして絶縁膜 1 に反応性イオンエッチングが施される。

【0160】

図 24 を参照して、上記のエッチングにより、絶縁膜 1 にたとえば  $0.7\mu\text{m}$  の深さの配線用溝 2a、2b が形成される。このとき、予め形成しておいた接続用孔 2c および凹凸用の溝 3 の部分もエッチングストップ層 7 の表面が露出するまでエッチングされる。この後、レジストパターン 11d がたとえばアッシングにより除去される。

【0161】

図 25 を参照して、接続用孔 2c と凹凸用の溝 3 から露出したエッチングストップ層 7 を除去するために、SiN 膜の全面エッチングが行なわれる。これにより、下層配線 4、5 との接続孔 2c、複数の溝からなる凹凸 3 を形成することができる。

【0162】

図 26 を参照して、絶縁膜 1 上にバリアメタル 4 としてたとえば TaN 膜がスパッタ法により  $20\text{nm}$  の厚みで形成され、さらにメッキ膜のシード層としてたとえば Cu 膜がスパッタ法により  $150\text{nm}$  の厚みで形成される。この後、硫酸銅浴のメッキ液中で電解メッキを行なうことにより、配線用溝 2a、2b を埋め込むまで Cu 膜 5 が形成される。この電解メッキにおける電流はたとえば  $5\text{A}$  である。さらに、絶縁膜 1 の上面が少なくとも露出するまで Cu 膜 5 およびバリアメタル 4 が CMP 法により研磨除去されることにより、配線用溝 2a、2b 内を埋め込む配線が形成される。

【0163】

以上のようにして形成された配線は実施の形態 12 と同様に、広い配線においても低抵抗で抵抗のばらつきが小さいという効果が得られる。また、幅が  $5\mu\text{m}$  以上の溝 2a の底部にある凹凸 3 を接続孔 2c と同時に形成することができる。

め、実施の形態 12 に比べて写真製版、エッチング、アッシングの工程を減らすことができる利点がある。

【0164】

なお、本実施の形態では、溝 2a の底部の凹凸 3 として、複数の溝からなる凹凸 3 を形成した例について述べたが、実施の形態 2 のように複数の孔からなる凹凸 3 が形成されてもよく、実施の形態 6、7、10 のように複数のテーパ状の溝もしくは孔からなる凹凸 3 が形成されてもよく、これらの場合でも本実施の形態と同様の効果が得られる。

【0165】

また、エッチングストッパ層 7 は下層配線 4、5 上にのみ設けたが、溝のエッチングに対するエッチングストッパ層として、絶縁膜 1 を上下 2 層に分けてその 2 層の間に設けられてもよい。

【0166】

(実施の形態 15)

図 27～図 31 は、本発明の実施の形態 15 における半導体装置の製造方法を工程順に示す概略断面図である。まず図 27 を参照して、半導体基板もしくは下層絶縁膜 6 上に絶縁膜 1 が形成される。この絶縁膜 1 には配線用溝 2b が形成され、この配線用溝 2b 内を埋め込むようにバリアメタル 4 と導電層 5 とからなる下層配線が形成される。

【0167】

この下層配線 4、5 上にエッチングストッパ層 7 としてたとえば 100 nm の厚みで SiN 膜がプラズマ CVD 法により形成される。このエッチングストッパ層 7 上に、絶縁膜 1 としてたとえば 1.3  $\mu$ m の厚みで SiO<sub>2</sub> 膜がプラズマ CVD 法により形成される。これらのエッチングストッパ層 7 と絶縁膜 1 とは、配線間および層間の絶縁膜に相当する。

【0168】

絶縁膜 1 上に、配線用のパターンが形成されたレジストパターン 11d が写真製版技術により形成される。このレジストパターン 11d をマスクとして絶縁膜 1 にたとえば 0.7  $\mu$ m の深さで反応性イオンエッチングが施されて、配線用の

配線用溝 2 a、2 b が形成される。この後、レジストパターン 1 1 d が、たとえばアッシングにより除去される。

【0 1 6 9】

図 2 8 を参照して、絶縁膜 1 上に、接続孔のパターンが形成されたレジストパターン 1 1 e が、写真製版技術により形成される。この写真製版の際、レジストパターン 1 1 e には、接続孔のパターンと同時に、溝パターンも配線の長手方向に沿って転写される。この溝パターンは、幅  $5\ \mu\text{m}$  以上の配線用溝の底部に形成される溝状の凹凸パターンであり、幅が  $0.4\ \mu\text{m}$ 、スペースが  $0.6\ \mu\text{m}$  である。このレジストパターン 1 1 e をマスクとして絶縁膜 1 に反応性イオンエッチングが施される。

【0 1 7 0】

図 2 9 を参照して、このエッチングにより、エッチングストップ層 7 の表面に達する接続用孔 2 c と凹凸用の溝 3 とが形成される。この後、レジストパターン 1 1 e が、たとえばアッシングにより除去される。

【0 1 7 1】

図 3 0 を参照して、接続用孔 2 c と凹凸用の溝 3 とから露出するエッチングストップ層 7 を除去するために、SiN 膜の全面エッチングが行なわれる。これにより、下層配線 4、5 との接続孔 2 c と、複数の溝からなる凹凸 3 とを形成することができる。

【0 1 7 2】

図 3 1 を参照して、絶縁膜 1 上に、バリアメタル 4 としてたとえば TaN 膜がスパッタ法により  $20\ \text{nm}$  の厚みで形成され、さらにメッキ膜のシード層としてたとえば Cu 膜がスパッタ法により  $150\ \text{nm}$  の厚みで形成される。この後、硫酸銅浴のメッキ液中で電解メッキを行なうことにより、配線用溝 2 a、2 b を埋め込むまで Cu 膜 5 が形成される。この電解メッキにおける電流は  $5\ \text{A}$  である。さらに、絶縁膜 1 の上面が少なくとも露出するまで Cu 膜 5 およびバリアメタル 4 が CMP 法により研磨除去されることにより、配線用溝 2 a、2 b 内を埋め込む配線が形成される。

【0 1 7 3】

以上のようにして形成された配線は実施の形態 1 2 と同様に、広い配線においても低抵抗で抵抗のばらつきは小さいという効果が得られる。また、幅が  $5\ \mu\text{m}$  以上の溝 2 a の底部にある凹凸 3 を接続孔 2 c と同時に形成することができるため、実施の形態 1 2 と比べて写真製版、エッチング、アッシングの工程を減らすことができるという利点がある。

#### 【0 1 7 4】

なお、本実施の形態では、溝 2 a の底部の凹凸 3 として、複数の溝からなる凹凸 3 を形成した例について述べたが、実施の形態 2 のように複数の孔からなる凹凸 3 が形成されてもよく、実施の形態 6、7、1 0 のように複数のテーパ状の溝もしくは孔からなる凹凸 3 が形成されてもよく、これらの場合でも本実施の形態と同様の効果が得られる。

#### 【0 1 7 5】

また、エッチングストッパ層 7 は下層配線 4、5 上にのみ設けたが、溝のエッチングに対するエッチングストッパ層として、絶縁膜 1 を上下 2 層に分けてその 2 層の間に設けられてもよい。

#### 【0 1 7 6】

(実施の形態 1 6)

図 3 2 ～図 3 7 は、本発明の実施の形態 1 6 における半導体装置の製造方法を工程順に示す概略断面図である。まず図 3 2 を参照して、半導体基板もしくは下層絶縁膜 6 上に絶縁膜 1 が形成される。絶縁膜 1 には配線用溝 2 b が形成され、この配線用溝 2 b 内を埋め込むようにバリアメタル 4 と導電層 5 とからなる下層配線が形成される。

#### 【0 1 7 7】

この下層配線 4、5 上にエッチングストッパ層 7 として、たとえば  $100\ \text{nm}$  の厚みで  $\text{SiN}$  膜がプラズマ CVD 法により形成される。このエッチングストッパ層 7 上に、絶縁膜 1 として、たとえば  $1.3\ \mu\text{m}$  の厚みで  $\text{SiO}_2$  膜がプラズマ CVD 法により形成される。これらのエッチングストッパ層 7 と絶縁膜 1 とは配線間および層間の絶縁膜に相当する。

#### 【0 1 7 8】



絶縁膜 1 上に、接続孔のパターンが形成されたレジストパターン 1 1 f が写真製版技術により形成される。この写真製版の際、レジストパターン 1 1 f には接続孔のパターンと同時に、溝パターンも配線の長手方向に沿って転写される。この溝パターンは、幅が  $5\ \mu\text{m}$  以上の配線用溝の底部に形成される溝状の凹凸のパターンであり、幅が  $0.2\ \mu\text{m}$ 、スペースが  $0.2\ \mu\text{m}$  である。このレジストパターン 1 1 f の転写にあたっては、転写用マスクの溝パターンに対応する部分を光が一部透過するハーフトーンにすることにより、レジストパターン 1 1 f の溝パターン部分に凹凸を形成することができる。このレジストパターン 1 1 f をマスクとして絶縁膜 1 に反応性イオンエッチングが施される。

#### 【0 1 7 9】

図 3 3 を参照して、このエッチングにより、接続用孔 2 c はエッチングストッパ層 7 の表面まで達する。一方、溝パターンに関しては、エッチングが進行するに伴ってレジストパターン 1 1 f の膜厚も減っていき、凹凸部の凹部分がレジストを突き抜ける。この後、レジストパターン 1 1 f をマスクとして絶縁膜 1 に凹凸用の溝 3 が形成される。このようにして、接続用孔 2 c と同時に、凹凸用の溝 3 が形成される。この後、レジストパターン 1 1 f が、たとえばアッシングにより除去される。

#### 【0 1 8 0】

図 3 4 を参照して、絶縁膜 1 上に SOG 1 1 h が塗布され、接続用孔 2 c および凹凸用の溝 3 を埋め込む。さらに、絶縁膜 1 上に配線用のパターンが形成されたレジストパターン 1 1 g が写真製版技術により形成される。このレジストパターン 1 1 g をマスクとして絶縁膜 1 に反応性イオンエッチングが施される。

#### 【0 1 8 1】

図 3 5 を参照して、上記のエッチングにより、絶縁膜 1 にたとえば  $0.7\ \mu\text{m}$  の深さの配線用溝 2 a、2 b が形成される。この後、たとえばアッシングによってレジストパターン 1 1 g が除去され、希フッ酸によって SOG 1 1 h が除去される。

#### 【0 1 8 2】

図 3 6 を参照して、接続用孔 2 c から露出したエッチングストッパ層 7 を除去

するために、SiN膜の全面エッチングが行なわれる。これにより、下層配線4、5との接続孔2cと、複数の溝からなる凹凸3とを形成することができる。

【0183】

図37を参照して、絶縁膜1上に、バリアメタル4としてたとえばTa<sub>2</sub>N<sub>5</sub>膜がスパッタ法により20nmの厚みで形成され、さらにメッキ膜のシード層としてたとえばCu膜がスパッタ法により150nmの厚みで形成される。この後、硫酸銅浴のメッキ液中で電解メッキを行なうことにより、配線用溝2a、2bを埋め込むまでCu膜5が形成される。この電解メッキにおける電流はたとえば5Aである。さらに、絶縁膜1の上面が少なくとも露出するまでCu膜5およびバリアメタル4がCMP法により研磨除去されることにより、配線用溝2a、2b内を埋め込む配線が形成される。

【0184】

以上のようにして形成された配線は実施の形態12と同様に、広い配線においても低抵抗で抵抗のばらつきが小さいという効果が得られる。また、幅が5μm以上の配線用溝2aの底部にある凹凸3を接続孔2cと同時に形成することができるため、実施の形態12に比べて写真製版、エッチング、アッシングの工程を減らすことができる利点がある。

【0185】

また、実施の形態13、14、15では、凹凸の部分が接続孔と同じように形成されるため、凹凸の部分が下層の層間絶縁膜まで達することになる。このため、底部に凹凸を形成した広い配線の下部には下層配線を形成できないというデメリットがあるが、本実施の形態では、凹凸の部分が下層の層間絶縁膜にまで達していないため、前記のような問題は回避することができる。

【0186】

なお、本実施の形態では、凹凸のパターンを解像しない程度に微細にすることにより、露光部のレジストを若干残す方法を用いたが、凹凸の部分の露光量を少なくしてもよい。ハーフトーンなどのマスクを用いたり、露光に電子ビームを用いて露光量を制御することにより露光量を調整することができる。

【0187】

なお、本実施の形態では、溝 2 a の底部の凹凸 3 として、複数の溝からなる凹凸 3 を形成した例について述べたが、実施の形態 2 のように複数の孔からなる凹凸 3 が形成されてもよく、実施の形態 6、7、10 のように複数のテーパ状の溝もしくは孔からなる凹凸が形成されてもよく、これらの場合でも本実施の形態と同様の効果が得られる。

【0188】

また、接続孔 2 c および凹凸 3 用の溝を埋め込む材料として本実施の形態では、SOG が用いられたが、SOG 以外に有機 SOG やレジストなどの有機物などが用いられてもよい。

【0189】

また、エッチングストッパ層 7 は下層配線 4、5 上にのみ設けたが、溝のエッチングに対するエッチングストッパ層として絶縁膜 1 を上下 2 層に分けてその 2 層の間に設けられてもよい。

【0190】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0191】

【発明の効果】

本発明の半導体装置によれば、溝の底部に設けた凹凸には、メッキの析出を抑制する添加剤が入りにくいため、メッキ時に析出する膜の膜厚が厚くなる。このため、この凹凸を幅の広い溝の底部に設けることにより、幅の広い溝での析出速度を幅の狭い溝での析出速度と同等程度にすることができる。よって、メッキされた導電層表面の段差を小さくすることができるため、メッキ導電層を CMP 法により研磨しても、幅の広い配線上面に凹状のへこみが生じることは抑制される。

【0192】

上記の半導体装置において好ましくは、凹凸は、溝の幅に対する深さの比が 0

。7以下の溝の底部に設けられている。これにより、より薄いメッキ膜で溝を埋め込むことができる。

【0193】

上記の半導体装置において好ましくは、凹凸は、溝の幅に対する深さの比が0.35以下の溝の底部に設けられている。これにより、より薄いメッキ膜で溝を埋め込むことができる。

【0194】

上記の半導体装置において好ましくは、凹凸の凹部は溝状に形成されており、凹部の幅に対する深さの比が0.35よりも大きい。これにより、メッキによる析出速度を効果的に向上することができる。

【0195】

上記の半導体装置において好ましくは、凹凸の凹部は溝状に形成されており、凹部の幅に対する深さの比が0.7よりも大きい。これにより、メッキによる析出速度をより効果的に向上することができる。

【0196】

上記の半導体装置において好ましくは、凹凸の凹部は孔状に形成されており、凹部の開口径に対する深さの比が0.35よりも大きい。これにより、メッキによる析出速度を効果的に向上することができる。

【0197】

上記の半導体装置において好ましくは、凹凸の凹部は孔状に形成されており、凹部の開口径に対する深さの比が0.7よりも大きい。これにより、メッキによる析出速度をより効果的に向上することができる。

【0198】

上記の半導体装置において好ましくは、凹凸における凹部の側面が傾斜しており、断面において両側面が交差している。これにより、メッキによる析出速度をより向上することができるとともに、凹凸の凹部の深さを浅くすることができる。

【0199】

上記の半導体装置において好ましくは、凹部の側面は、絶縁層の上面に対して

20度よりも大きく傾斜している。これにより、メッキによる析出速度向上の効果が得られる。

【0200】

上記の半導体装置において好ましくは、凹凸のピッチは凹部の幅あるいは開口径の4倍以下である。これにより、凹凸を溝底部に密に配置することができ、凹凸によって効果的にメッキ速度を向上することができる。

【0201】

本発明の半導体装置の製造方法によれば、溝の底部に設けた凹凸には、メッキの析出を抑制する添加剤が入りにくいため、メッキ時に析出する膜の膜厚が厚くなる。このため、この凹凸を幅の広い溝の底部に設けることにより、幅の広い溝での析出速度を幅の狭い溝での析出速度と同等程度にすることができる。よって、メッキされた導電層表面の段差を小さくすることができるため、メッキ導電層をCMP法により研磨しても、幅の広い配線上面に凹状のへこみが生じることは抑制される。

【0202】

上記の半導体装置の製造方法において好ましくは、絶縁層の下層に下層配線層を形成する工程と、下層配線層と配線層とを接続する接続孔を絶縁層に形成する工程とがさらに備えられ、溝の形成前に接続孔と凹凸とが同時に形成される。これにより、製造工程を簡略化することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体装置の構成を概略的に示す断面図である。

【図2】 本発明の実施の形態1における半導体装置の構成を概略的に示す斜視図である。

【図3】 本発明の実施の形態2における半導体装置の構成を概略的に示す斜視図である。

【図4】 本発明の実施の形態6における半導体装置の構成を概略的に示す断面図である。

【図5】 本発明の実施の形態6における半導体装置の構成を概略的に示す

斜視図である。

【図 6】 本発明の実施の形態 7 における半導体装置の構成を概略的に示す斜視図である。

【図 7】 本発明の実施の形態 1 0 における半導体装置の構成を概略的に示す断面図である。

【図 8】 本発明の実施の形態 1 0 における半導体装置の構成を概略的に示す斜視図である。

【図 9】 本発明の実施の形態 1 0 における半導体装置の他の構成を概略的に示す斜視図である。

【図 1 0】 本発明の実施の形態 1 1 における半導体装置の構成を概略的に示す断面図である。

【図 1 1】 本発明の実施の形態 1 1 における半導体装置の構成を概略的に示す斜視図である。

【図 1 2】 本発明の実施の形態 1 1 における半導体装置の他の構成を概略的に示す斜視図である。

【図 1 3】 本発明の実施の形態 1 2 における半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 1 4】 本発明の実施の形態 1 2 における半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 1 5】 本発明の実施の形態 1 2 における半導体装置の製造方法の第 3 工程を示す概略断面図である。

【図 1 6】 本発明の実施の形態 1 2 における半導体装置の製造方法の第 4 工程を示す概略断面図である。

【図 1 7】 本発明の実施の形態 1 3 における半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 1 8】 本発明の実施の形態 1 3 における半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 1 9】 本発明の実施の形態 1 3 における半導体装置の製造方法の第 3 工程を示す概略断面図である。

【図 2 0】 本発明の実施の形態 1 3 における半導体装置の製造方法の第 4 工程を示す概略断面図である。

【図 2 1】 本発明の実施の形態 1 3 における半導体装置の製造方法の第 5 工程を示す概略断面図である。

【図 2 2】 本発明の実施の形態 1 4 における半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 2 3】 本発明の実施の形態 1 4 における半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 2 4】 本発明の実施の形態 1 4 における半導体装置の製造方法の第 3 工程を示す概略断面図である。

【図 2 5】 本発明の実施の形態 1 4 における半導体装置の製造方法の第 4 工程を示す概略断面図である。

【図 2 6】 本発明の実施の形態 1 4 における半導体装置の製造方法の第 5 工程を示す概略断面図である。

【図 2 7】 本発明の実施の形態 1 5 における半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 2 8】 本発明の実施の形態 1 5 における半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 2 9】 本発明の実施の形態 1 5 における半導体装置の製造方法の第 3 工程を示す概略断面図である。

【図 3 0】 本発明の実施の形態 1 5 における半導体装置の製造方法の第 4 工程を示す概略断面図である。

【図 3 1】 本発明の実施の形態 1 5 における半導体装置の製造方法の第 5 工程を示す概略断面図である。

【図 3 2】 本発明の実施の形態 1 6 における半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 3 3】 本発明の実施の形態 1 6 における半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 3 4】 本発明の実施の形態 1 6 における半導体装置の製造方法の第 3

工程を示す概略断面図である。

【図 3 5】 本発明の実施の形態 1 6 における半導体装置の製造方法の第 4 工程を示す概略断面図である。

【図 3 6】 本発明の実施の形態 1 6 における半導体装置の製造方法の第 5 工程を示す概略断面図である。

【図 3 7】 本発明の実施の形態 1 6 における半導体装置の製造方法の第 6 工程を示す概略断面図である。

【図 3 8】 従来の半導体装置の構成を概略的に示す断面図である。

【図 3 9】 従来の半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 4 0】 従来の半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 4 1】 従来の半導体装置の製造方法の第 2 工程を示す概略断面図である。

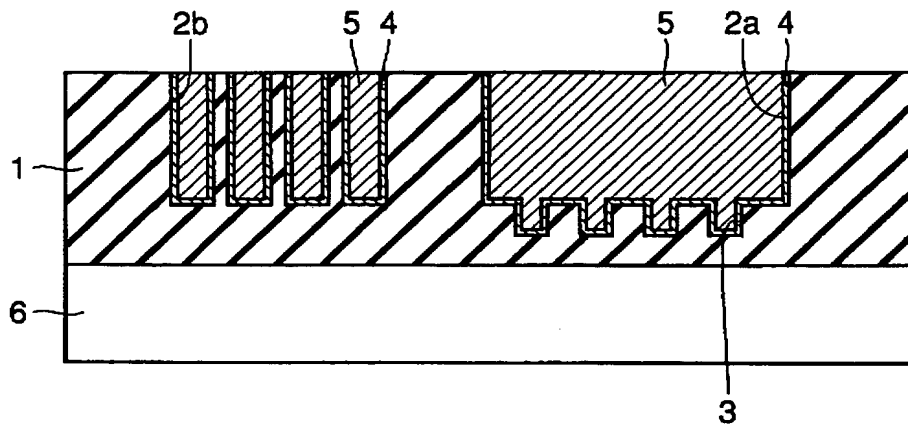
【符号の説明】

1 絶縁膜、2 a、2 b 配線用溝、2 c 接続孔、3 凹凸、4 バリアメタル、5 Cu 膜、6 半導体基板もしくは下層絶縁膜。

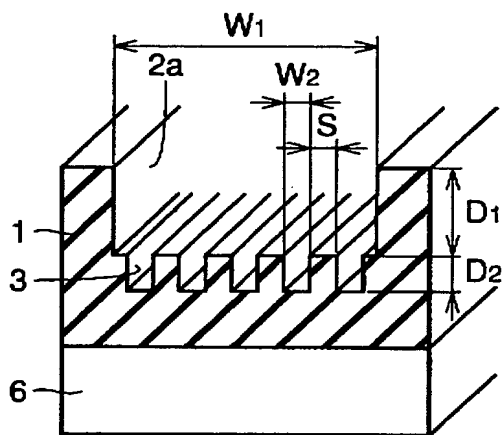


【書類名】 図面

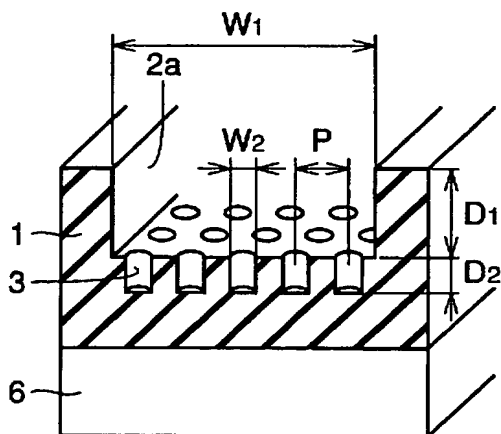
【図 1】



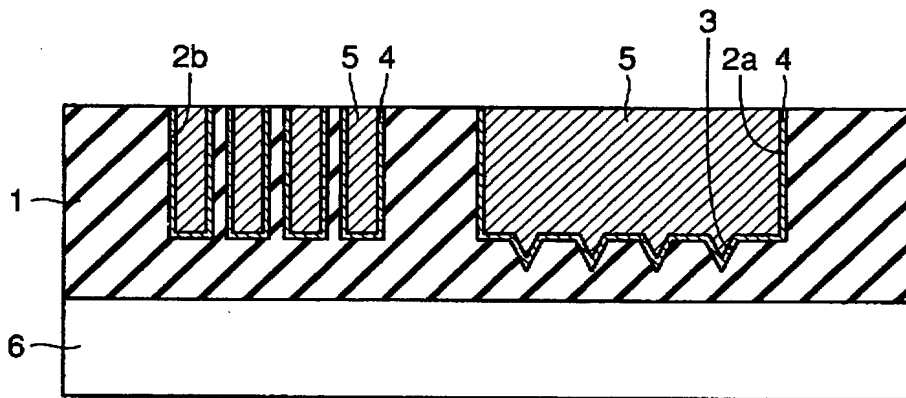
【図 2】



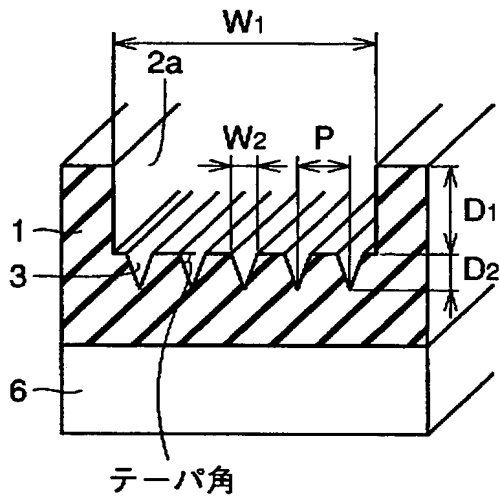
【図 3】



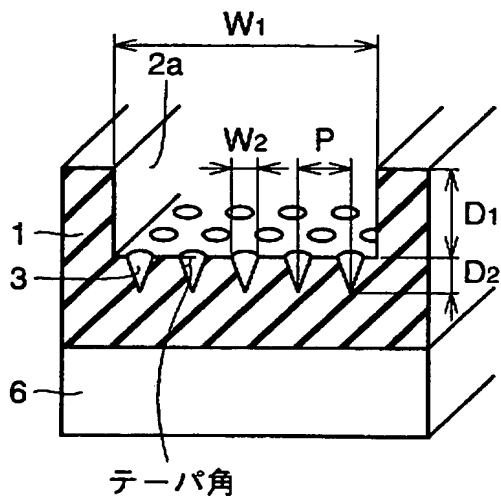
【図 4】



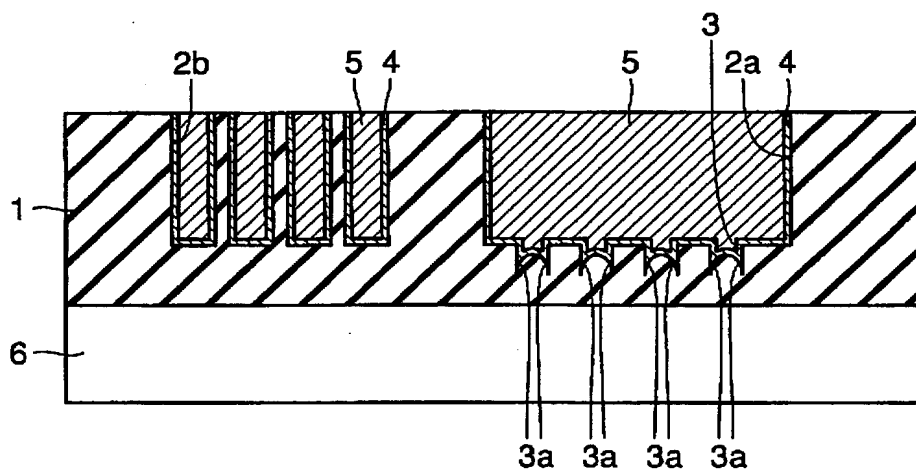
【図 5】



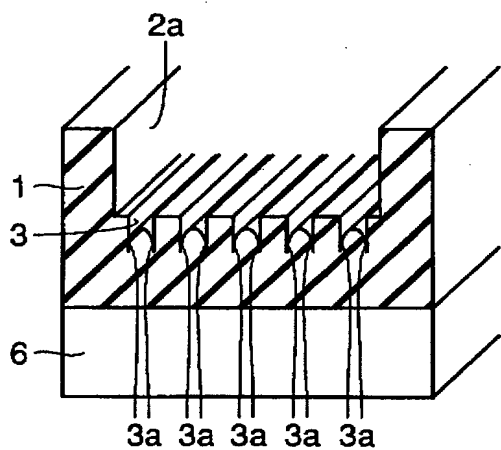
【図 6】



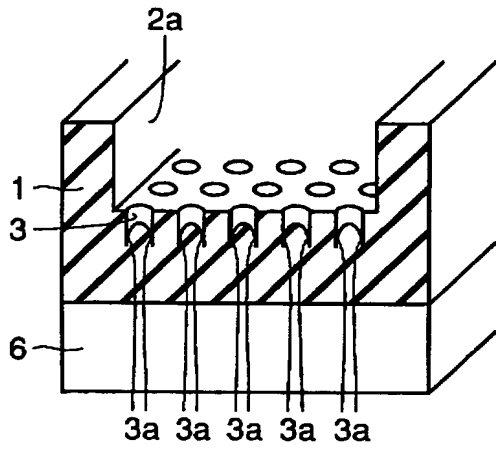
【図 7】



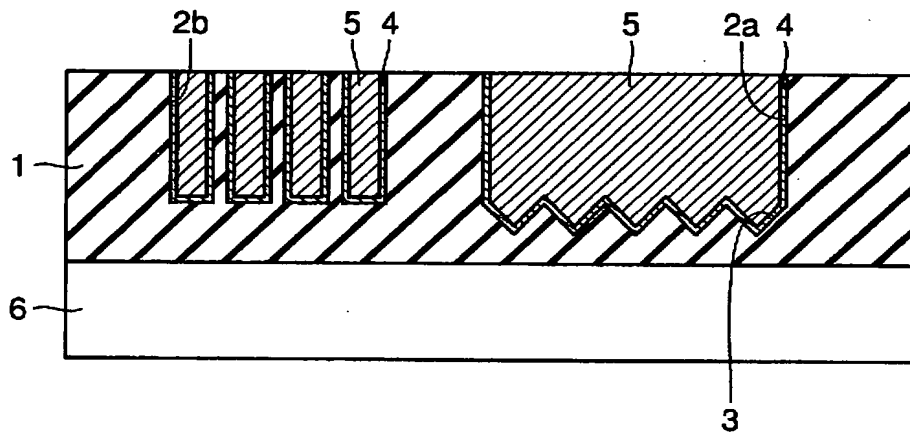
【図 8】



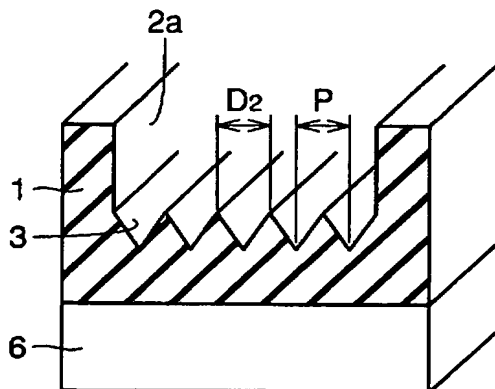
【図 9】



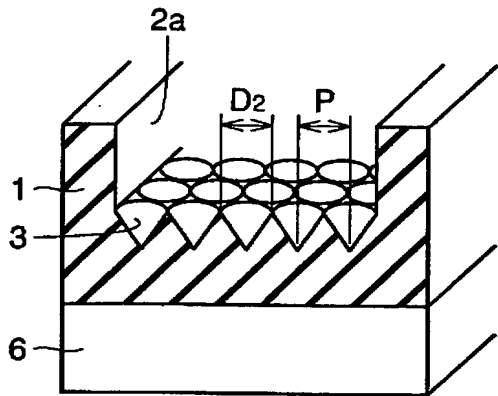
【図 1 0】



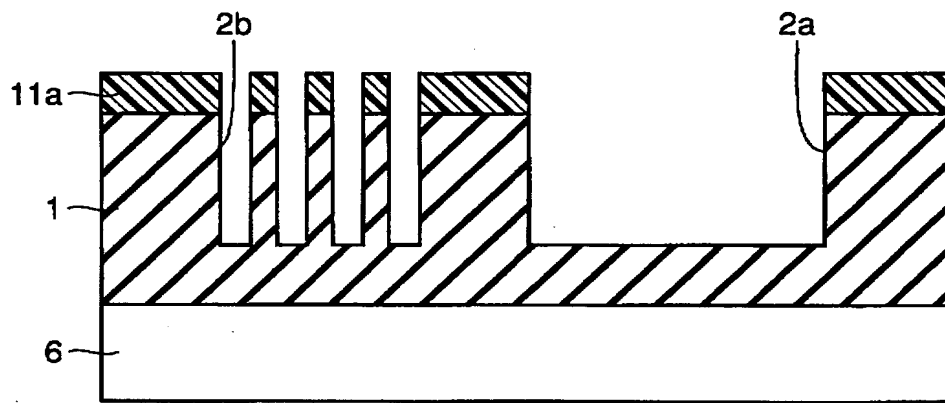
【図 1 1】



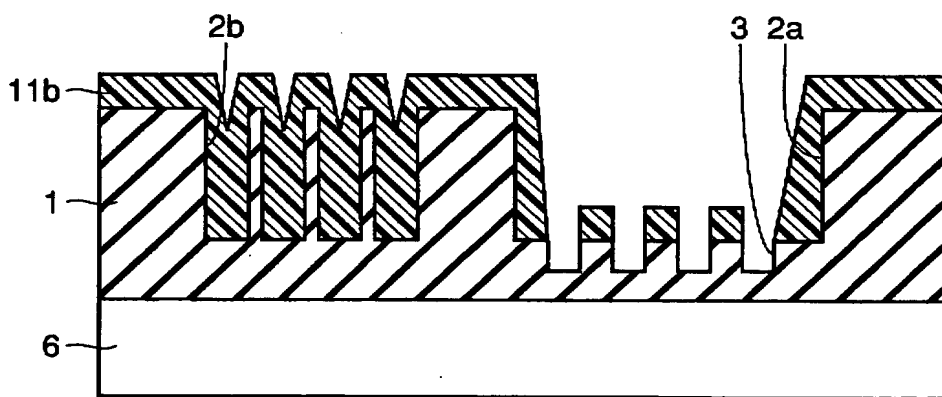
【図 1 2】



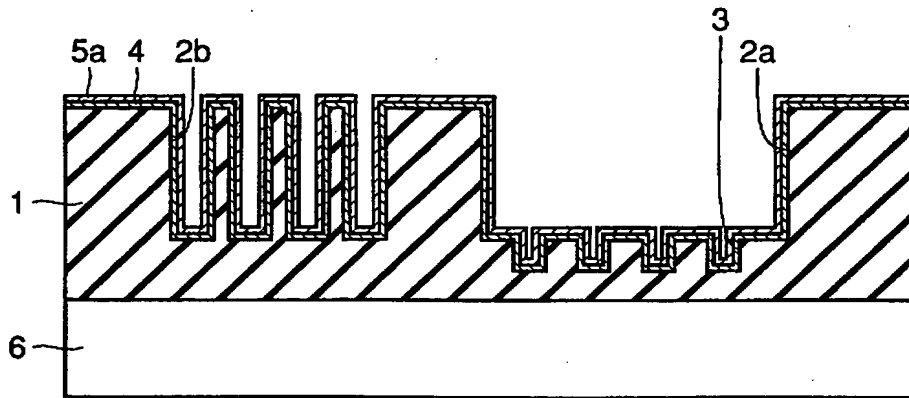
【図 1 3】



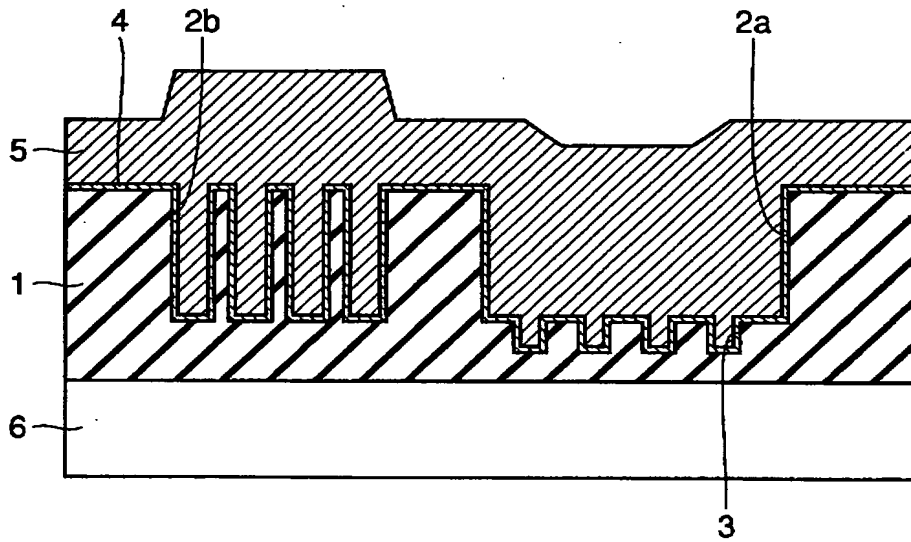
【図 1 4】



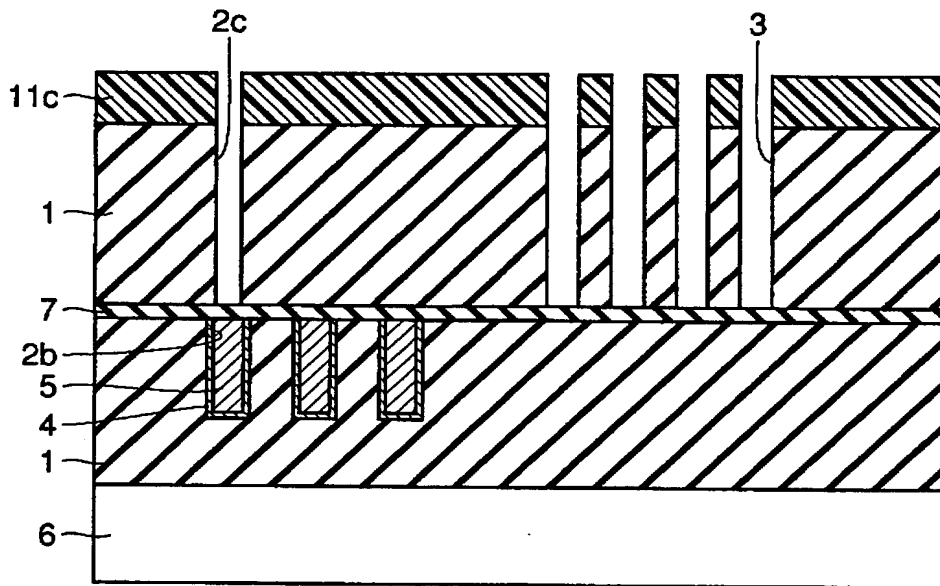
【図 15】



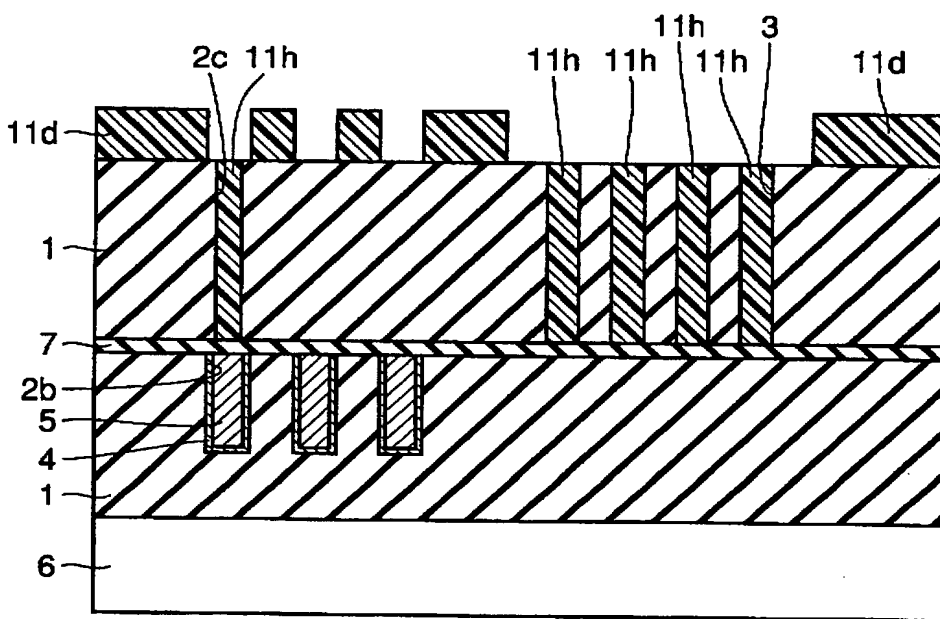
【図 16】



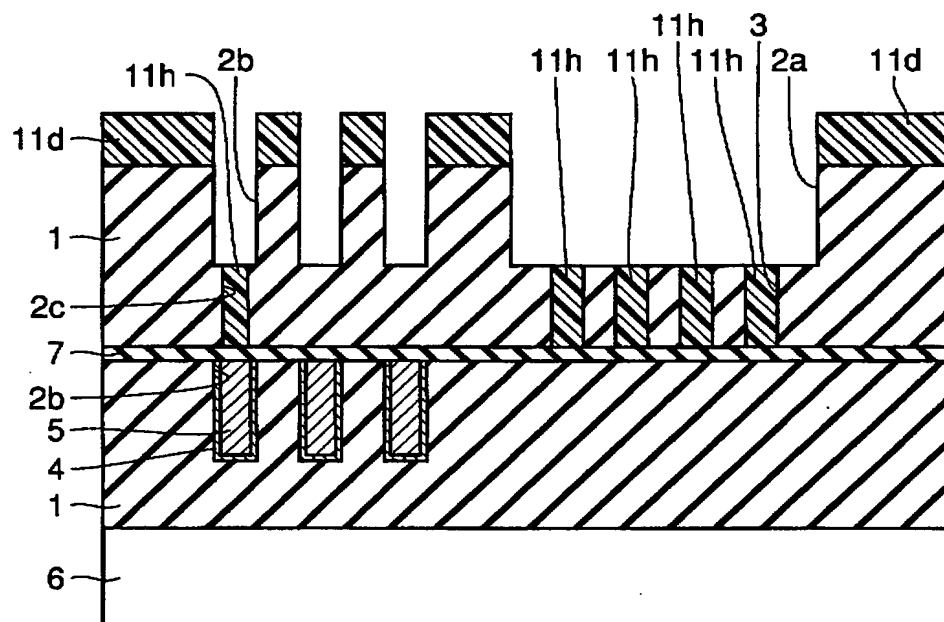
【図 1 7】



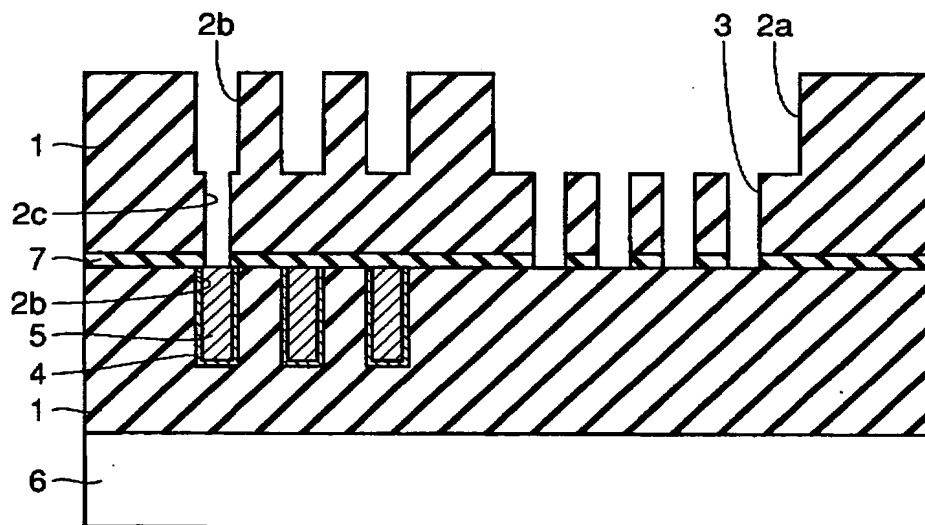
【図 1 8】



【图 19】

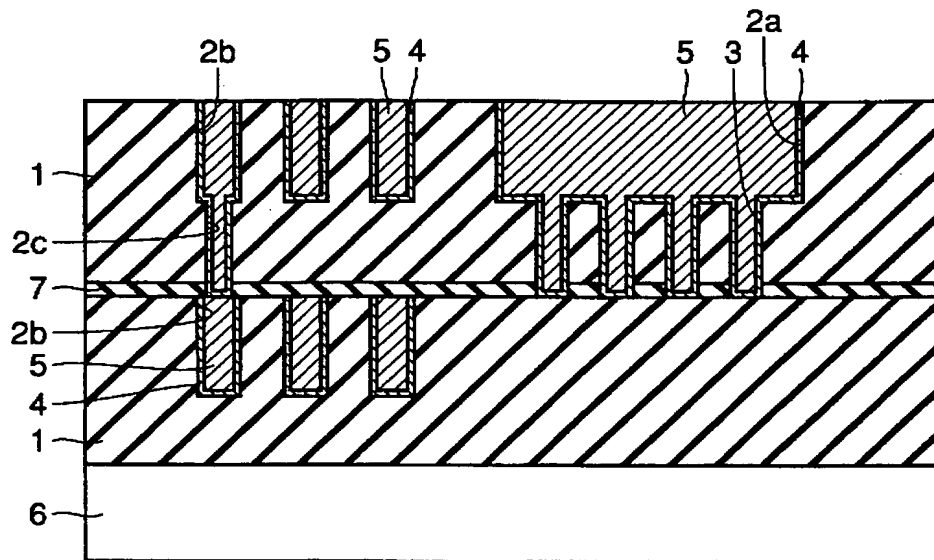


【図 20】

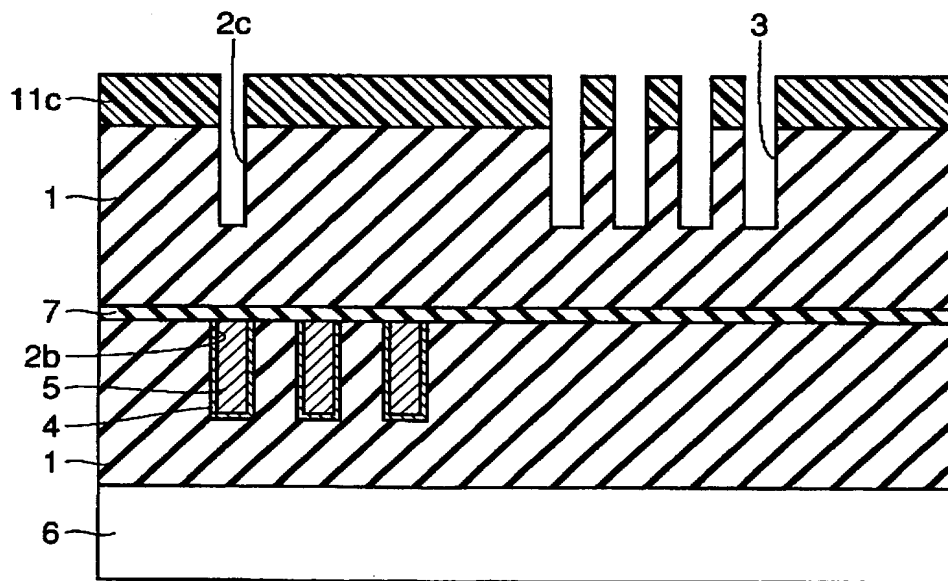




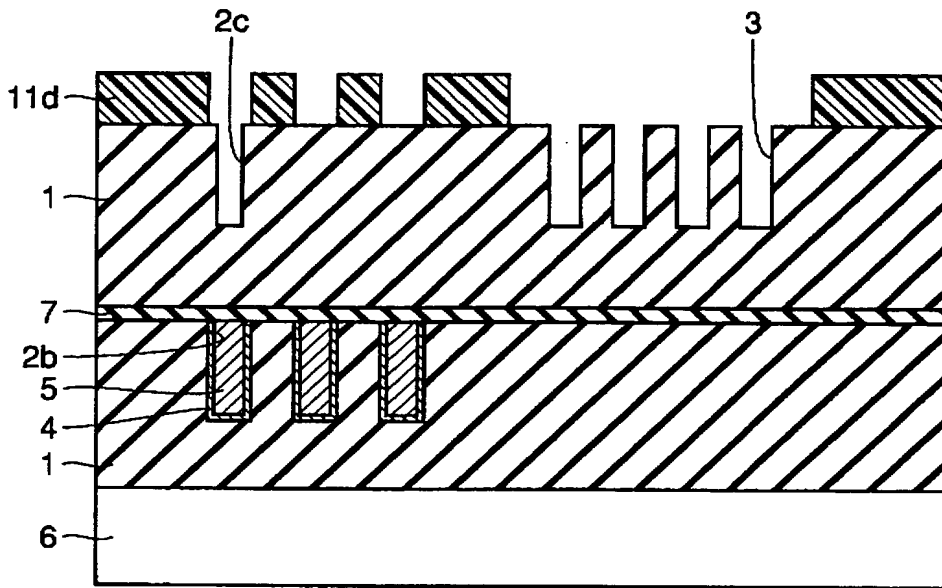
【図 2 1】



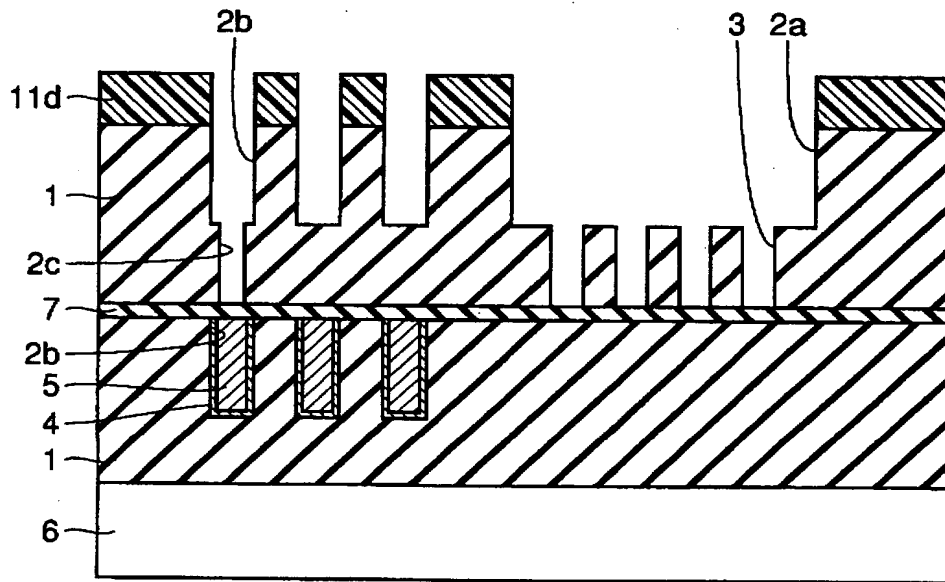
【図 2 2】



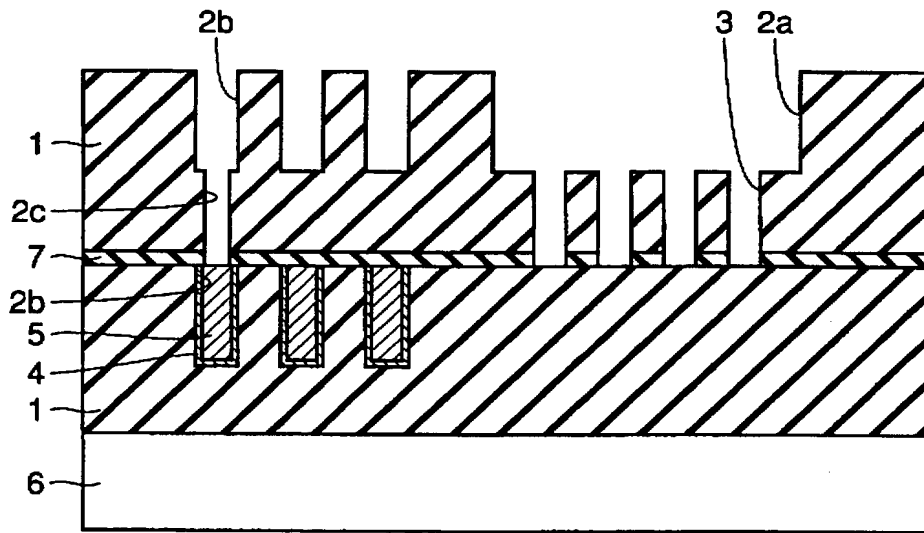
【図 2 3】



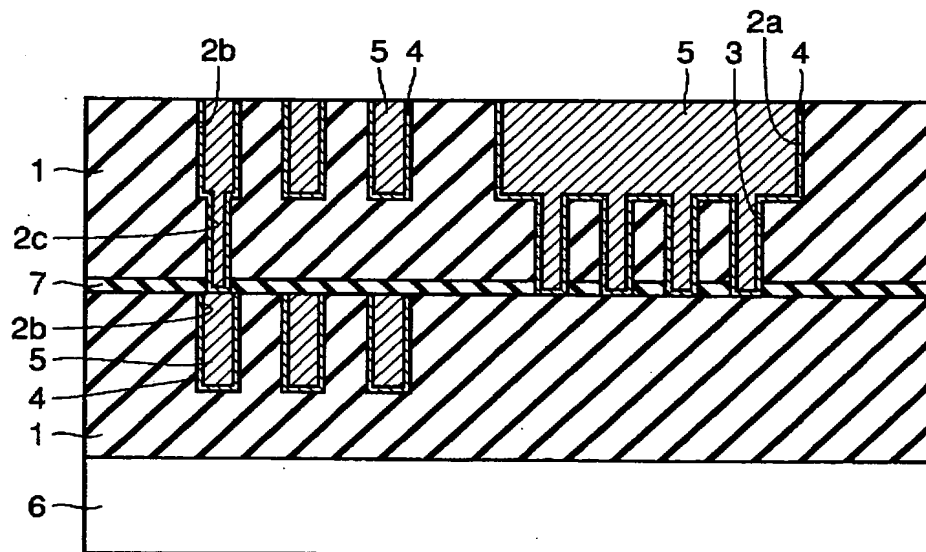
【図 2 4】



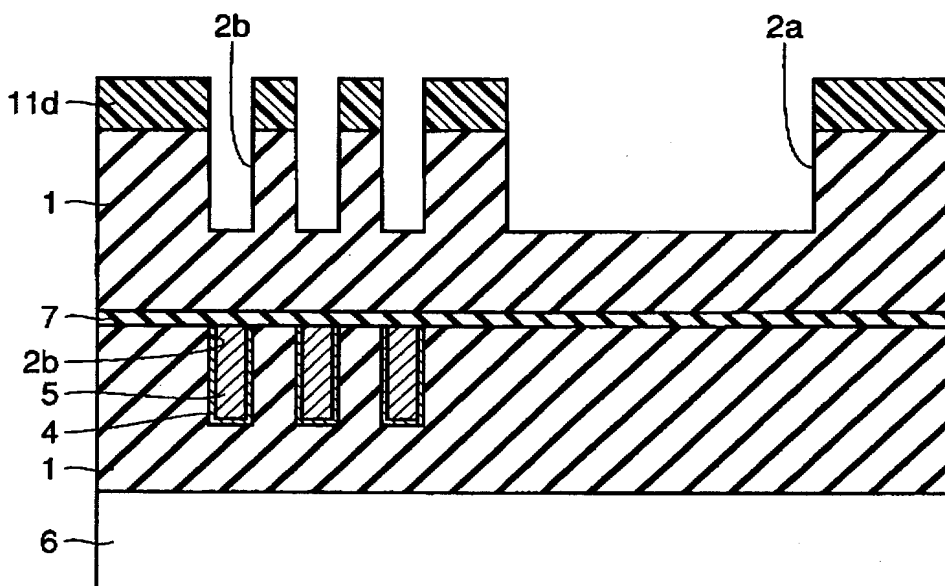
【图 25】



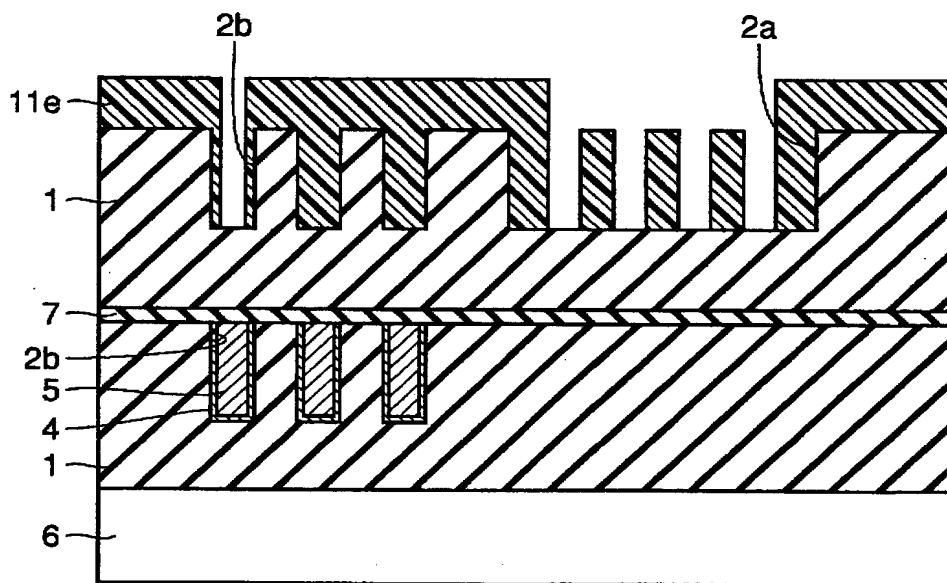
【図 2 6】



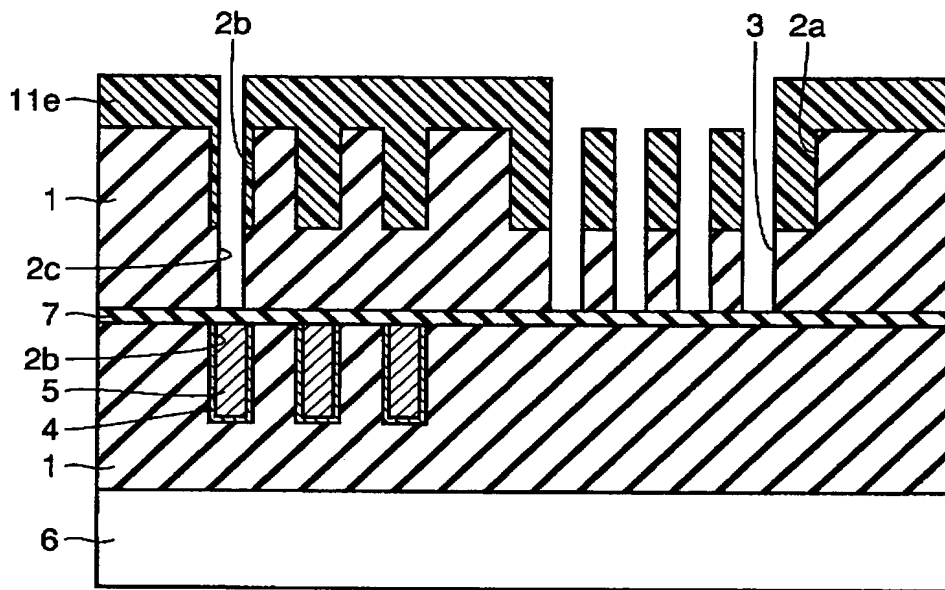
【図 27】



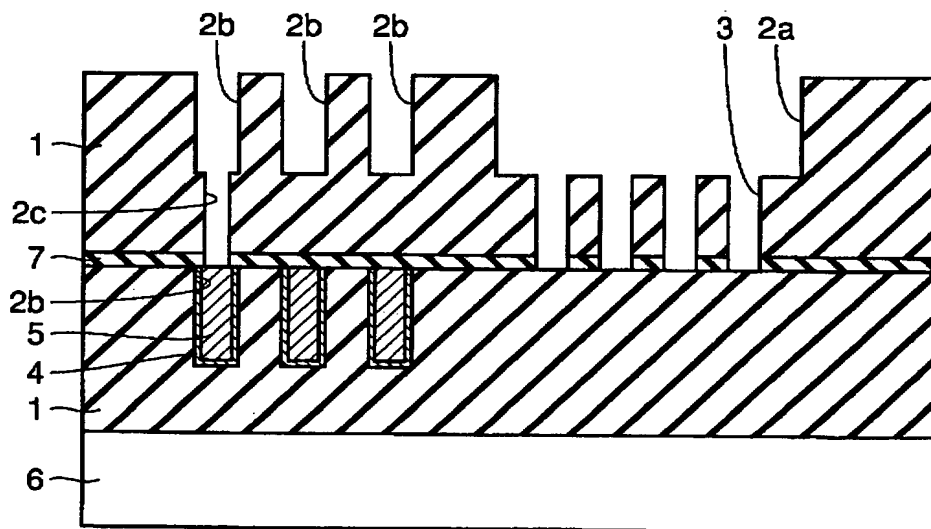
【図 28】



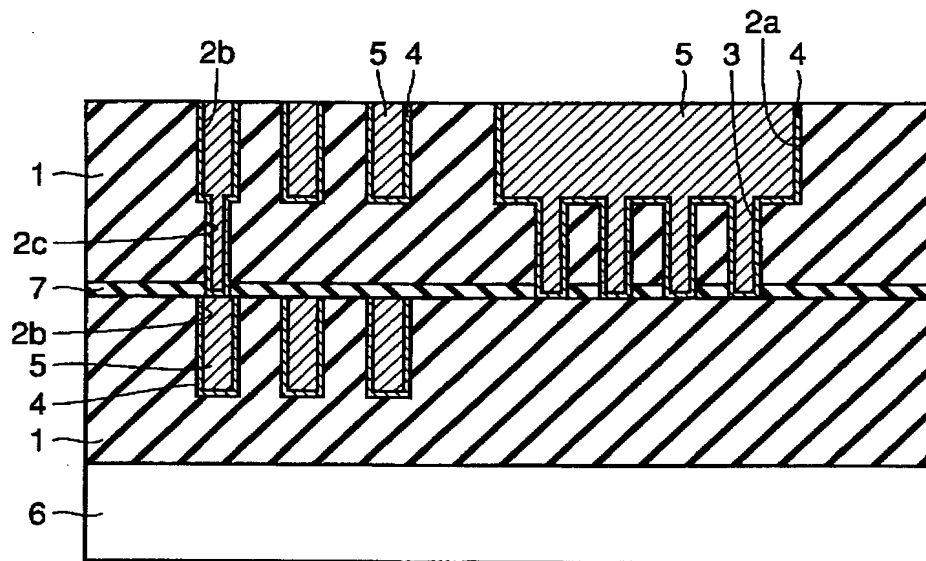
【図 2 9】



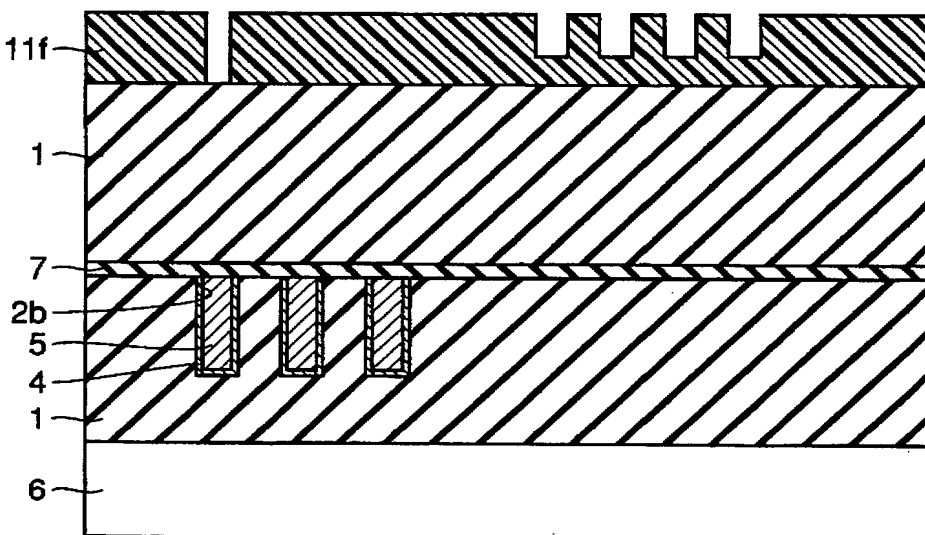
【図 3 0】



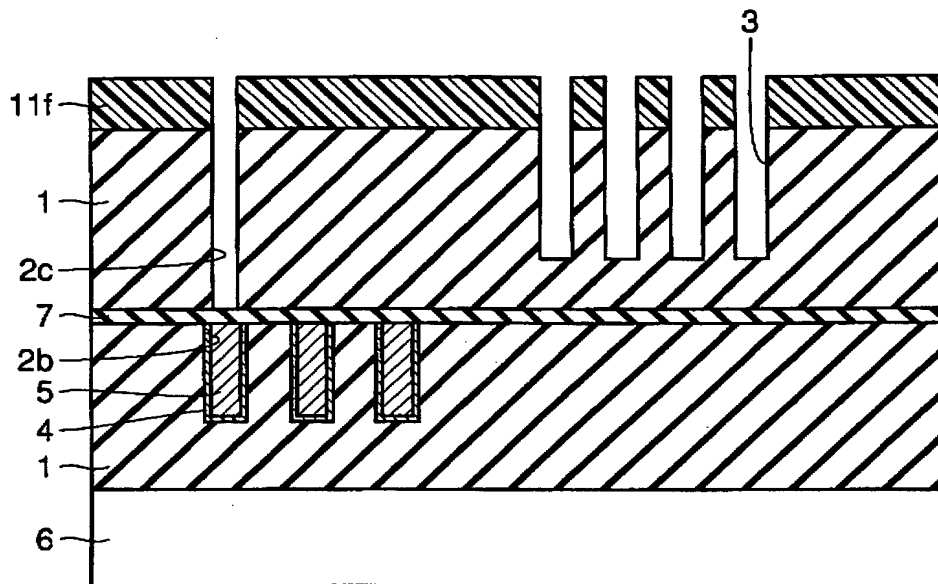
【図 3 1】



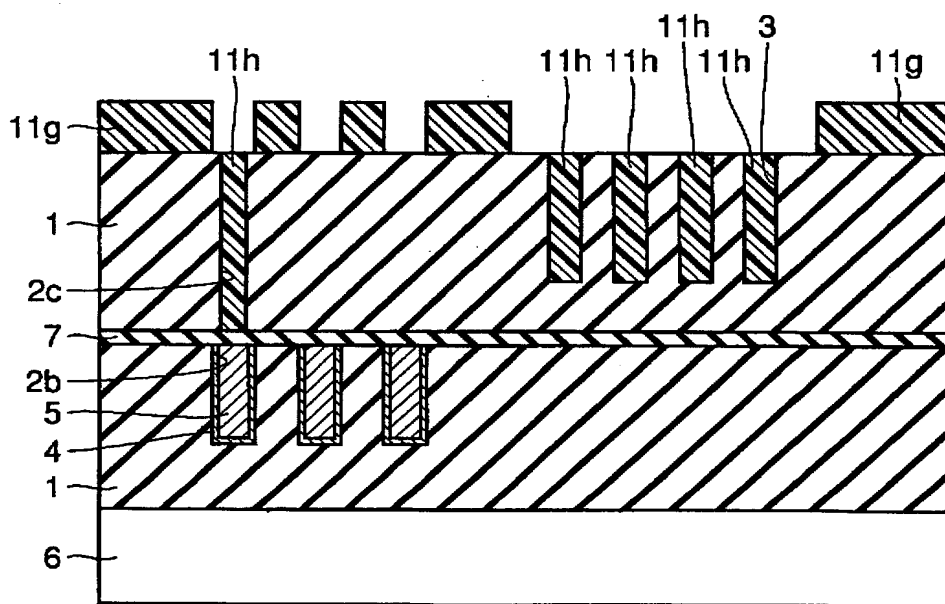
【図 3 2】



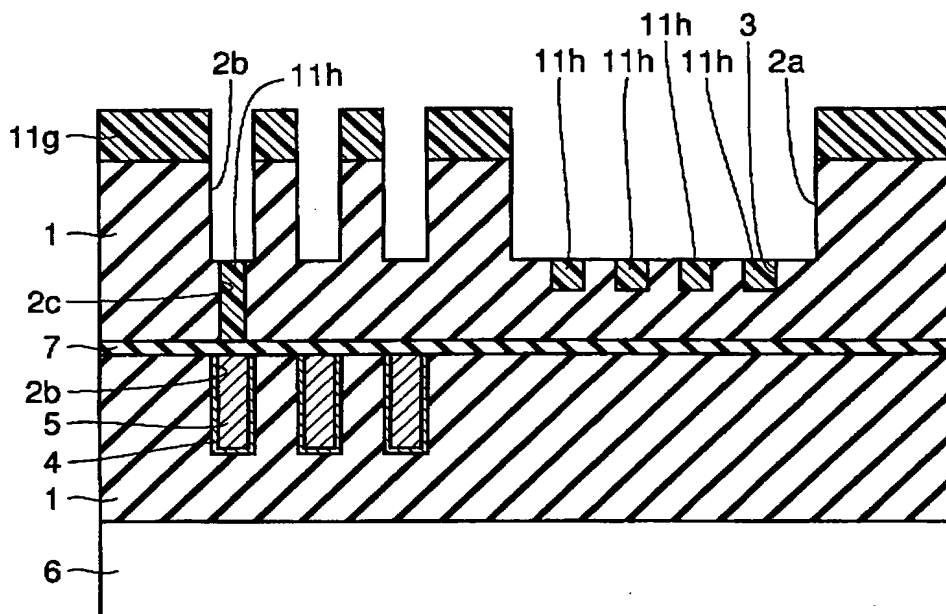
【図 3 3】



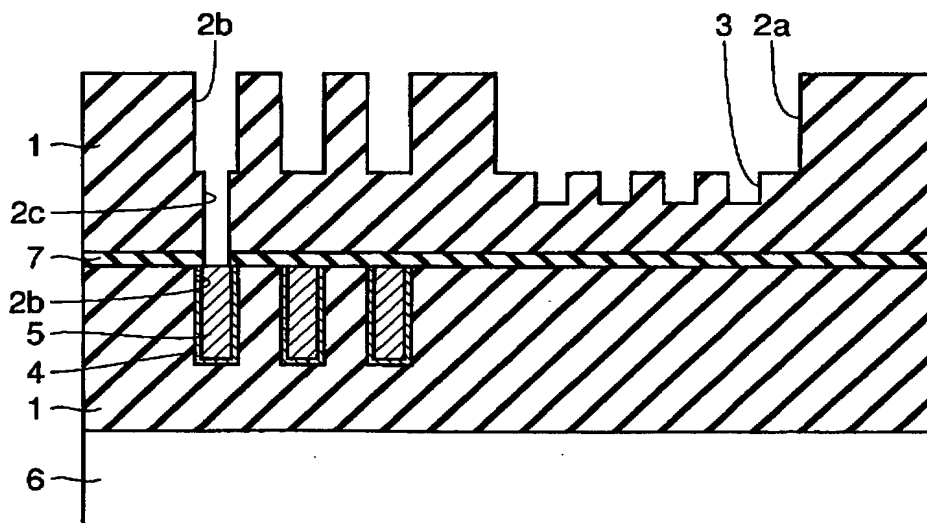
【図 3 4】



【図 3 5】

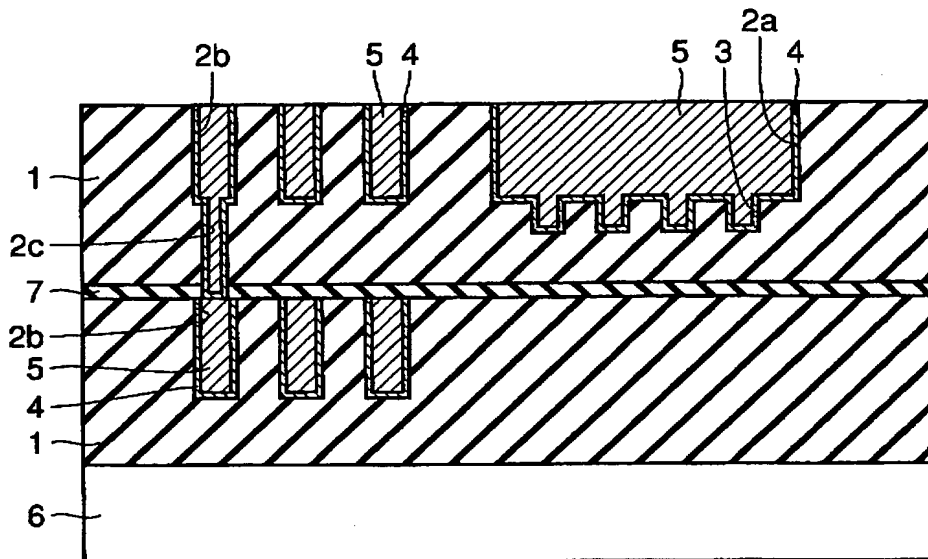


【図 3 6】

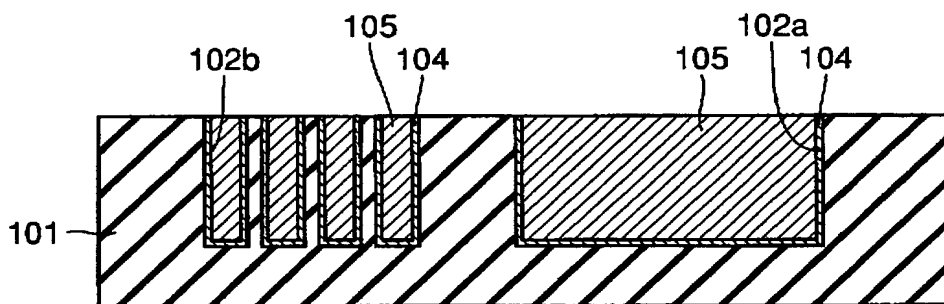




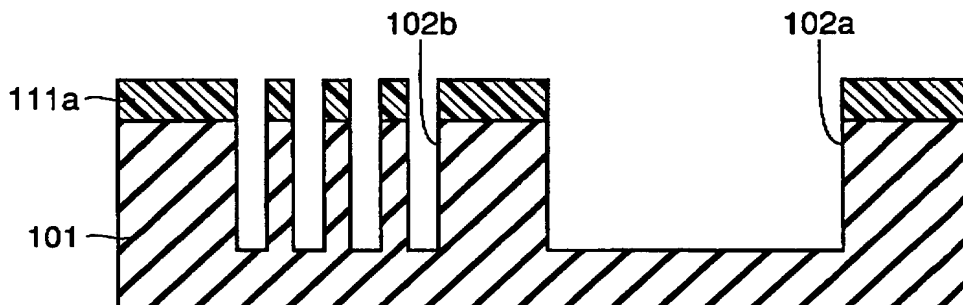
【図 37】



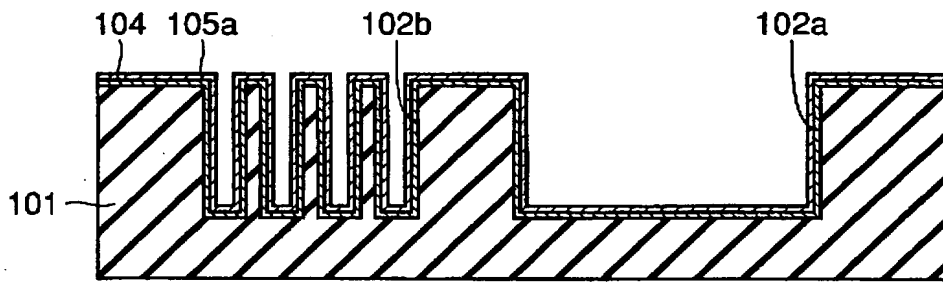
【図 38】



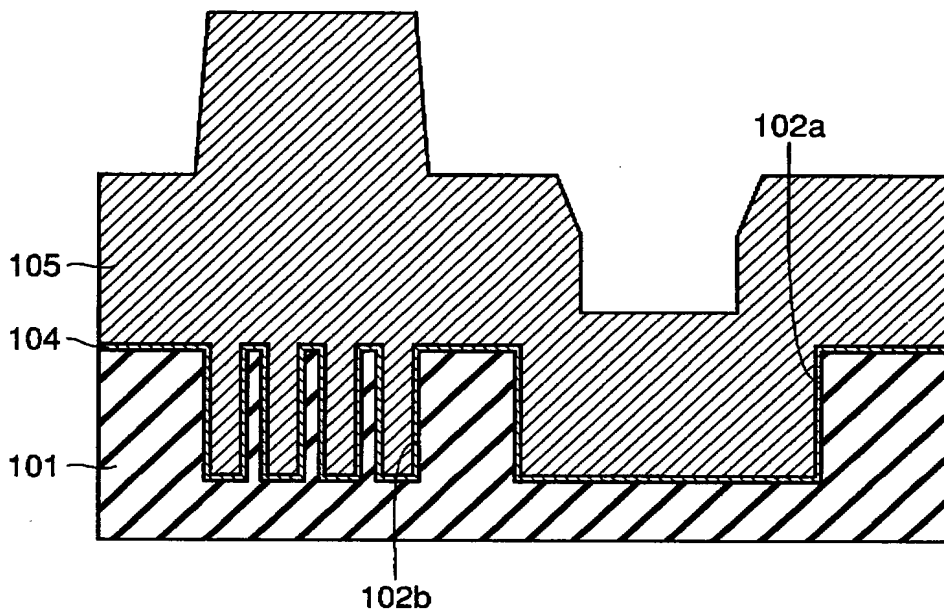
【図 39】



【図 40】



【図 41】



【書類名】 要約書

【要約】

【課題】 広い溝と細い溝との析出速度の差を小さくすることのできる半導体装置およびその製造方法を提供する。

【解決手段】 絶縁膜 1 の表面には異なる幅を有する複数の溝 2 a、2 b が形成されている。複数の溝 2 a、2 b の各々の内部を埋め込むようにバリアメタル 4 と Cu 膜 5 とからなる配線が形成されている。複数の溝 2 a、2 b のうち幅の広い溝 2 a の底部には、たとえば複数の溝からなる凹凸 3 が設けられている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社